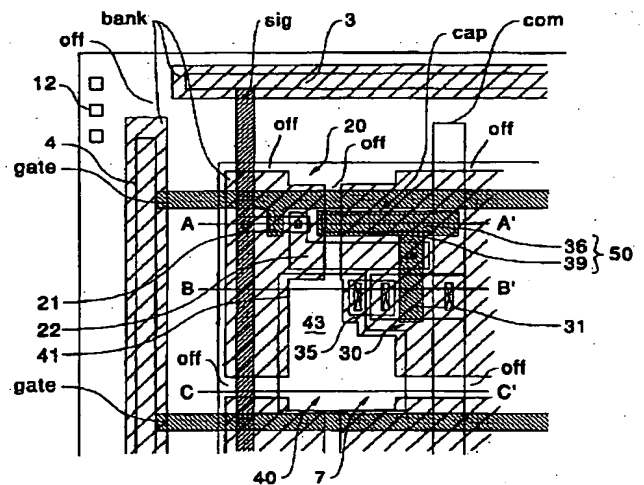


(11)特許出願公開番号



(2)

## 【特許請求の範囲】

【請求項1】 基板上に、複数の走査線と、該走査線と交差する複数のデータ線と、該データ線と前記走査線とによってマトリクス状に形成された複数の画素からなる表示部とを有し、該画素の各々は、前記走査線を介して走査信号がゲート電極に供給される薄膜トランジスタを含む導通制御回路と、画素毎に形成された画素電極、該画素電極の上層側に積層された発光薄膜、および該発光薄膜の上層側に形成された対向電極を具備する薄膜発光素子とを備え、前記データ線から前記導通制御回路を介して供給される画像信号に基づいて前記発光薄膜が発光するアクティブマトリクス型表示装置において、前記発光薄膜の形成領域は、前記対向電極の下層側に前記発光薄膜よりも厚く形成された絶縁膜で区画されているとともに、該絶縁膜は、各画素毎の対向電極部分同士を当該絶縁膜に起因する段差のない平坦部分を介して接続させる途切れ部分を備えていることを特徴とするアクティブマトリクス型表示装置。

【請求項2】 請求項1において、前記導通制御回路は、前記走査信号がゲート電極に供給される第1の薄膜トランジスタ、および該第1の薄膜トランジスタを介してゲート電極が前記データ線に接続する第2の薄膜トランジスタを備え、該第2の薄膜トランジスタと前記薄膜発光素子は、前記データ線および走査線とは別に構成された駆動電流供給用の共通給電線と前記対向電極との間に直列に接続していることを特徴とするアクティブマトリクス型表示装置。

【請求項3】 請求項1または2において、前記絶縁膜は、当該絶縁膜で区画された領域内に前記発光薄膜をインクジェット法により形成する際に吐出液のはみ出しを防止するバンク層であることを特徴とするアクティブマトリクス型表示装置。

【請求項4】 請求項3において、前記絶縁膜は、膜厚が1 $\mu$ m以上であることを特徴とするアクティブマトリクス型表示装置。

【請求項5】 請求項1ないし4のいずれかにおいて、前記絶縁膜は、前記データ線および前記走査線に沿って前記発光薄膜の形成領域の周りを囲むように形成されており、前記データ線および前記走査線の各延設方向で隣り合う画素の間に相当する部分に前記途切れ部分を備えていることを特徴とするアクティブマトリクス型表示装置。

【請求項6】 請求項1ないし4のいずれかにおいて、前記絶縁膜は、前記データ線および前記走査線に沿って形成されていることにより前記発光薄膜の形成領域の周りを囲んでいるとともに、前記走査線の延設方向で隣り合う画素の間に相当する部分に前記途切れ部分を備えていることを特徴とするアクティブマトリクス型表示装

置。

【請求項7】 請求項1ないし4のいずれかにおいて、前記絶縁膜は、前記データ線および前記走査線に沿って形成されていることにより前記発光薄膜の形成領域の周りを囲んでいるとともに、前記データ線の延設方向で隣り合う画素の間に相当する部分に前記途切れ部分を備えていることを特徴とするアクティブマトリクス型表示装置。

【請求項8】 請求項1ないし4のいずれかにおいて、前記絶縁膜は、前記データ線に沿ってストライプ状に形成され、該形成方向の少なくとも一方の端部に前記途切れ部分を備えていることを特徴とするアクティブマトリクス型表示装置。

【請求項9】 請求項5ないし8のいずれかにおいて、前記画素電極の形成領域のうち、前記導通制御回路の形成領域と重なる領域は前記絶縁膜で覆われていることを特徴とするアクティブマトリクス型表示装置。

【請求項10】 請求項1ないし9のいずれかにおいて、前記表示部の周囲には、前記データ線を介してデータ信号を供給するデータ線駆動回路、および前記走査線を介して走査信号を供給する走査線駆動回路を有し、該走査線駆動回路および前記データ線側駆動回路の上層側にも前記絶縁膜が形成されているとともに、当該絶縁膜は、前記走査線駆動回路の形成領域と前記データ側駆動回路の形成領域との間に相当する位置には前記対向電極を前記表示部側と基板外周側とを当該絶縁膜に起因する段差のない平坦部分を介して接続させる途切れ部分を備えていることを特徴とするアクティブマトリクス型表示装置。

【請求項11】 請求項1ないし10のいずれかにおいて、前記絶縁膜は、有機材料からなることを特徴とするアクティブマトリクス型表示装置。

【請求項12】 請求項1ないし10のいずれかにおいて、前記絶縁膜は、無機材料からなることを特徴とするアクティブマトリクス型表示装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、有機半導体膜等の発光薄膜に駆動電流が流れることによって発光するEL（エレクトロルミネッセンス）素子またはLED（発光ダイオード）素子などの薄膜発光素子を薄膜トランジスタ（以下、TFTという。）で駆動制御するアクティブマトリクス型表示装置に関するものである。

【0002】

【従来の技術】EL素子またはLED素子などの電流制御型発光素子を用いたアクティブマトリクス型の表示装置が提案されている。このタイプの表示装置に用いられる発光素子はいずれも自己発光するため、液晶表示装置と違ってバックライトを必要とせず、また、視野角依存性が少ないなどの利点もある。

(3)

3

【0003】図13は、このような電荷注入型の有機薄膜EL素子を用いたアクティブマトリクス型表示装置のブロック図を示してある。この図に示すアクティブマトリクス型表示装置1Aでは、透明基板10上に、複数の走査線gateと、該走査線gateの延設方向に対して交差する方向に延設された複数のデータ線sigと、該データ線sigに並列する複数の共通給電線comと、データ線sigと走査線gateとによってマトリクス状に形成された複数の画素7とが構成されている。データ線sigおよび走査線gateに対してはデータ線駆動回路3および走査線駆動回路4が構成されている。各々の画素7には、走査線gateを介して走査信号が供給される導通制御回路50と、この導通制御回路50を介してデータ線sigから供給される画像信号に基づいて発光する薄膜発光素子40とが構成されている。ここに示す例において、導通制御回路50は、走査線gateを介して走査信号がゲート電極に供給される第1のTFT20と、この第1のTFT20を介してデータ線sigから供給される画像信号を保持する保持容量capと、この保持容量capによって保持された画像信号がゲート電極に供給される第2のTFT30とから構成されている。第2のTFT30と薄膜発光素子40とは、詳しくは後述する対向電極opと共通給電線comとの間に直列に接続している。この薄膜発光素子40は、第2のTFT30がオン状態になったときには共通給電線comから駆動電流が流れ込んで発光するとともに、この発光状態は保持容量capによって所定の期間、保持される。

【0004】このような構成のアクティブマトリクス型表示装置1Aでは、図14および図15(A)、(B)に示すように、いずれの画素7においても、島状の半導体膜を利用して第1のTFT20および第2のTFT30が形成されている。第1のTFT20は、ゲート電極21が走査線gateの一部として構成されている。第1のTFT20は、ソース・ドレイン領域の一方に第1層間絶縁膜51のコンタクトホールを介してデータ線sigが電気的に接続し、他方にはドレイン電極22が電気的に接続している。ドレイン電極22は、第2のTFT30の形成領域に向けて延設されており、この延設部分には第2のTFT30のゲート電極31が第1の層間絶縁膜51のコンタクトホールを介して電気的に接続している。第2のTFT30のソース・ドレイン領域の一方には、第1の層間絶縁膜51のコンタクトホールを介して中継電極35が電気的に接続し、この中継電極35には第2の層間絶縁膜52のコンタクトホールを介して薄膜発光素子40の画素電極41が電気的に接続している。

【0005】画素電極41は、図14および図15(B)、(C)からわかるように各画素7毎に独立して形成されている。画素電極41の上層側には、有機半導

4

体膜43および対向電極opがこの順に積層されている。有機半導体膜43は画素7毎に形成されているが、複数の画素7に跨ってストライプ状に形成される場合もある。図13からわかるように、対向電極opは、画素7が構成されている表示部11だけでなく、透明基板10の略全面に形成されている。

【0006】再び、図14および図15(A)において、第2のTFT30のソース・ドレイン領域のもう一方には、第1の層間絶縁膜51のコンタクトホールを介して共通給電線comが電気的に接続している。共通給電線comの延設部分39は、第2のTFT30のゲート電極31の延設部分36に対して、第1の層間絶縁膜51を誘電体膜として挟んで対向し、保持容量capを構成している。

【0007】

【発明が解決しようとする課題】しかしながら、前記のアクティブマトリクス型表示装置1Aにおいて、画素電極41に対向する対向電極opは、液晶アクティブマトリクス型表示装置と相違して、同じ透明基板10においてデータ線sigとの間に第2の層間絶縁膜52しか有しないので、データ線sigには大きな容量が寄生し、データ線駆動回路3の負荷が大きい。

【0008】そこで、本願発明者は、図13、図14、および図16(A)、(B)、(C)に示すように、対向電極opとデータ線sigなどとの間に厚い絶縁膜(バンク層bank/左下がりの斜線を広いピッチで付した領域)を設け、データ線sigに寄生する容量を低減することを提案する。併せて、この絶縁膜(バンク層bank)で有機半導体膜43の形成領域を囲むことによって、インクジェットヘッドから吐出した液状の材料(吐出液)から有機半導体膜43を形成する際に吐出液をバンク層bankでせき止め、吐出液が側方にはみ出すことを防止することを提案する。しかし、かかる構造を採用すると、厚いバンク層bankの存在に起因して大きな段差bbが形成され、このバンク層bankの上層に形成される対向電極opが前記の段差bbの部分で断線しやすい。このような段差bbで対向電極opに断線が生じると、この部分の対向電極opは周囲の対向電極opから絶縁状態になって表示の点欠陥あるいは線欠陥を発生させる。また、データ側駆動回路3や走査側駆動回路4の表面を覆うバンク層bankの外周縁に沿って対向電極opに断線が起これば、表示部11の対向電極opと端子12との間が完全に絶縁状態になって表示が全くできなくなる。

【0009】そこで、本発明の課題は、有機半導体膜の周りに厚い絶縁膜を形成して寄生容量などを抑え、この厚い絶縁膜の上層に形成する対向電極に断線などが発生しないアクティブマトリクス型表示装置を提供することにある。

【0010】

(4)

5

【課題を解決するための手段】上記課題を解決するため、本発明では、基板上に、複数の走査線と、該走査線に交差する複数のデータ線と、該データ線と前記走査線とによってマトリクス状に形成された複数の画素からなる表示部とを有し、該画素の各々は、前記走査線を介して走査信号がゲート電極に供給されるTFTを含む導通制御回路と、画素毎に形成された画素電極、該画素電極の上層側に積層された発光薄膜、および該発光薄膜の上層側に形成された対向電極を具備する薄膜発光素子とを備え、前記データ線から前記導通制御回路を介して供給される画像信号に基づいて前記薄膜発光素子が発光する

アクティブマトリクス型表示装置において、前記有機半導体膜の形成領域は、前記対向電極の下層側に前記有機半導体膜よりも厚く形成された絶縁膜で区画されているとともに、該絶縁膜は、各画素毎の対向電極部分同士を当該絶縁膜に起因する段差のない平坦部分を介して接続させる途切れ部分を備えていることを特徴とする。

【0011】本発明において、対向電極表示部に形成され、データ線と対向する状態にあるため、このままではデータ線に対して大きな容量が寄生することになる。しかるに本発明では、データ線と対向電極との間に厚い絶縁膜を介在させたので、データ線に容量が寄生することを防止できる。その結果、データ線駆動回路の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。また、厚い絶縁膜を形成すると、この絶縁膜は大きな段差を形成し、その上層側に形成される対向電極に断線が発生させるおそれがあるが、本発明では、厚い絶縁膜の所定の位置に途切れ部分を構成し、この部分を平坦にしてある。従って、各領域毎の対向電極は平坦部分に形成された部分を介して電気的に接続するので、たとえ、絶縁膜に起因する段差によってこの部分で断線しても、絶縁膜の途切れ部分に相当する平坦部分を介して確実に電気的に接続しているので、対向基板の断線という不具合が発生しない。それ故、アクティブマトリクス型表示装置において、有機半導体膜の周りに厚い絶縁膜を形成して寄生容量などを抑えたとしても、絶縁膜の上層に形成する対向電極に断線が発生しないので、アクティブマトリクス型表示装置の表示品質および信頼性を向上することができる。

【0012】本発明では、前記導通制御回路は、前記走査信号がゲート電極に供給される第1のTFT、および該第1のTFTを介してゲート電極が前記データ線に接続する第2のTFTを備え、該第2のTFTと前記薄膜発光素子は、前記データ線および走査線とは別に構成された駆動電流供給用の共通給電線と前記対向電極との間に直列に接続していることが好ましい。すなわち、導通制御回路を1つのTFTと保持容量で構成することも可能ではあるが、表示品位を高くするという観点からすれば各画素の導通制御回路を2つのTFTと保持容量で構成することが好ましい。

6

【0013】本発明において、前記絶縁膜は、当該絶縁膜で区画された領域内に前記発光薄膜をインクジェット法により形成する際に吐出液のはみ出しを防止するバンク層として利用することが好ましい。それには、前記絶縁膜は、膜厚が1 $\mu$ m以上であることが好ましい。

【0014】本発明においては、前記絶縁膜は、前記データ線および前記走査線に沿って前記発光薄膜の形成領域の周りを囲んでいる場合には、前記データ線の延設方向で隣り合う画素の間、前記走査線の延設方向で隣り合う画素の間、またはそれら双方の方向で隣り合う画素の間に相当する部分に前記途切れ部分を構成する。

【0015】上記の形態と違って、前記絶縁膜は前記データ線に沿ってストライプ状に延設される場合があり、この場合には、該延設方向の少なくとも一方の端部に前記途切れ部分を構成してもよい。

【0016】本発明において、前記画素電極の形成領域のうち、前記導通制御回路の形成領域と重なる領域は前記絶縁膜で覆われていることが好ましい。すなわち、前記画素電極の形成領域のうち、前記導通制御回路の形成されていない平坦部分のみで前記の厚い絶縁膜を開口し、この内側のみ有機半導体膜を形成することが好ましい。このように構成すると、有機半導体膜の膜厚ばらつきに起因する表示むらを防止できる。また、画素電極が形成されていても導通制御回路と重なる領域では、たとえ対向電極との間に駆動電流が流れて有機半導体膜が発光しても、この光は導通制御回路に遮られ、表示には寄与しない。かかる表示に寄与しない部分で有機半導体膜に流れる駆動電流は、表示という面からみて無効電流といえる。そこで、本発明では、従来ならこのような無効電流が流れるはずの部分に前記の厚い絶縁膜を形成し、そこに駆動電流が流れることを防止する。その結果、共通給電線に流れる電流が小さくすることができるので、その分、共通給電線の幅を狭くすれば、その結果として、発光面積を増すことができ、輝度、コントラスト比などの表示性能を向上させることができる。

【0017】本発明では、前記表示部の周囲には、前記データ線を介してデータ信号を供給するデータ線駆動回路、および前記走査線を介して走査信号を供給する走査線駆動回路を有し、該走査線駆動回路および前記データ線駆動回路の上層側にも前記絶縁膜が形成されているとともに、当該絶縁膜は、前記走査線駆動回路の形成領域と前記データ線駆動回路の形成領域との間に相当する位置には前記対向電極を前記表示部側と基板外周側とを当該絶縁膜に起因する段差のない平坦部分を介して接続させる途切れ部分を備えていることが好ましい。このように構成すると、データ線駆動回路や走査線駆動回路の表面を覆う絶縁膜の外周縁に沿って対向電極に断線が起きても、表示部側の対向電極と基板外周側の対向電極とは該絶縁膜に起因する段差のない平坦部分を介して接続し、表示部側の対向電極と基板外周側の対向電極との間

(5)

7

の電氣的接続を確保できる。

【0018】本発明において、前記絶縁膜をレジスト膜などの有機材料から構成した場合には厚い膜を容易に形成できる。これに対して、前記絶縁膜を無機材料から構成した場合には、発光薄膜と接触した状態にあっても、発光薄膜の変質を防止することができる。

【0019】

【発明の実施の形態】図面を参照して、本発明の実施の形態を説明する。なお、以下の説明において、図13ないし図16を説明した要素と共通する部分には同一の符号を付してある。

【0020】【実施の形態1】

（全体構成）図1は、アクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。図2は、それに構成されている画素の1つを抜き出して示す平面図、図3（A）、（B）、（C）はそれぞれ図2のA-A'断面図、B-B'断面図、およびC-C'断面図である。

【0021】図1に示すアクティブマトリクス型表示装置1では、その基体たる透明基板10の中央部分が表示部11とされている。透明基板10の外周部分のうち、データ線sigの端部には画像信号を出力するデータ側駆動回路3が構成され、走査線gateの端部には走査信号を出力する走査側駆動回路4が構成されている。これらの駆動回路3、4では、N型のTFTとP型のTFTとによって相補型TFTが構成され、この相補型TFTは、シフトレジスタ回路、レベルシフト回路、アナログスイッチ回路などを構成している。表示部11では、液晶アクティブマトリクス型表示装置のアクティブマトリクス基板と同様、透明基板10上に、複数の走査線gateと、該走査線gateの延設方向に対して交差する方向に延設された複数のデータ線sigと、データ線sigと走査線gateとによってマトリクス状に形成された複数の画素7とが構成されている。

【0022】各々の画素7には、走査線gateを介して走査信号が供給される導通制御回路50と、この導通制御回路50を介してデータ線sigから供給される画像信号に基づいて発光する薄膜発光素子40とが構成されている。ここに示す例においては、導通制御回路50は、走査線gateを介して走査信号がゲート電極に供給される第1のTFT20と、この第1のTFT20を介してデータ線sigから供給される画像信号を保持する保持容量capと、この保持容量capによって保持された画像信号がゲート電極に供給される第2のTFT30とから構成されている。第2のTFT30と薄膜発光素子40とは、詳しくは後述する対向電極opと共通給電線comとの間に直列に接続している。

【0023】このような構成のアクティブマトリクス型表示装置1では、図2および図3（（A）、（B））に示すように、いずれの画素7においても、島状の半導体膜

8

（シリコン膜）を利用して第1のTFT20および第2のTFT30が形成されている。

【0024】第1のTFT20は、ゲート電極21が走査線gateの一部として構成されている。第1のTFT20は、ソース・ドレイン領域の一方に第1層間絶縁膜51のコンタクトホールを介してデータ線sigが電氣的に接続し、他方にはドレイン電極22が電氣的に接続している。ドレイン電極22は、第2のTFT30の形成領域に向けて延設されており、この延設部分には第2のTFT30のゲート電極31が第1の層間絶縁膜51のコンタクトホールを介して電氣的に接続している。

【0025】第2のTFT30のソース・ドレイン領域の一方には、第1の層間絶縁膜51のコンタクトホールを介して、データ線sigと同時に形成された中継電極35が電氣的に接続し、この中継電極35には第2の層間絶縁膜52のコンタクトホールを介して薄膜発光素子40のITO膜からなる透明な画素電極41が電氣的に接続している。

【0026】図2および図3（B）、（C）からわかるように、画素電極41は各画素7毎に独立して形成されている。画素電極41の上層側には、発光薄膜としてポリフェニレンビニレン（PPV）などのからなる有機半導体膜43、およびリチウム含有アルミニウム、カルシウムなどの金属膜からなる対向電極opがこの順に積層され、薄膜発光素子40が構成されている。有機半導体膜43は各画素7に形成されているが、複数の画素7に跨がってストライプ状に形成される場合もある。対向電極opは、表示部11全体と、透明基板10の端子12が形成されている部分の周囲を除いた領域とに形成されている。この端子12は、対向電極opと同時に形成された配線（図示せず。）に接続する対向電極opの端子を含んでいる。

【0027】なお、薄膜発光素子40としては、正孔注入層を設けて発光効率（正孔注入率）を高めた構造、電子注入層を設けて発光効率（電子注入率）を高めた構造、正孔注入層および電子注入層の双方を形成した構造を採用することもできる。

【0028】再び、図2および図3（A）において、第2のTFT30のソース・ドレイン領域のもう一方には、第1の層間絶縁膜51のコンタクトホールを介して共通給電線comが電氣的に接続している。共通給電線comの延設部分39は、第2のTFT30のゲート電極31の延設部分36に対して、第1の層間絶縁膜51を誘電体膜として挟んで対向し、保持容量capを構成している。

【0029】このようにアクティブマトリクス型表示装置1において、走査信号によって選択されて第1のTFT20がオン状態になると、データ線sigからの画像信号が第1のTFT20を介して第2のTFT30のゲート電極31に印加されるとともに、画像信号が第1の

(6)

9

TFT20を介して保持容量capに書き込まれる。その結果、第2のTFT30がオン状態になると、対向電極opおよび画素電極41をそれぞれ負極および正極として電圧が印加され、印加電圧がしきい値電圧を越えた領域で有機半導体膜43に流れる電流（駆動電流）が急激に増大する。従って、発光素子40は、エレクトロルミネッセンス素子あるいはLED素子として発光し、発光素子40の光は、対向電極opに反射されて透明な画素電極41および透明基板10を透過して出射される。このような発光を行うための駆動電流は、対向電極op、有機半導体膜43、画素電極41、第2のTFT30、および共通給電線comから構成される電流経路を流れるため、第2のTFT30がオフ状態になると、流れなくなる。但し、第2のTFT30のゲート電極は、第1のTFT20がオフ状態になっても、保持容量capによって画像信号に相当する電位に保持されるので、第2のTFT30はオン状態のままである。それ故、発光素子40には駆動電流が流れ続け、この画素は点灯状態のままである。この状態は、新たな画像データが保持容量capに書き込まれて、第2のTFT30がオフ状態になるまで維持される。

【0030】（バンク層の構造）このように構成したアクティブマトリクス型表示装置1において、本形態では、データ線sigには大きな容量が寄生することを防止するため、図1、図2、および図3（A）、（B）、（C）に示すように、データ線sigおよび走査線gateに沿って、レジスト膜、あるいはポリイミド膜からなる厚い絶縁膜（バンク層bank/左下がりの斜線を広いピッチで付した領域）を設け、このバンク層bankの上層側に対向電極opを形成してある。このため、データ線sigと対向電極opとの間には、第2の層間絶縁膜52と厚いバンク層bankが介在しているの

で、データ線sigに寄生する容量が極めて小さい。それ故、駆動回路3、4の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

【0031】また、図1に示すように、透明基板10の周辺領域（表示部11の外側領域）にもバンク層bank（形成領域に斜線を付してある。）を形成する。従って、データ側駆動回路3および走査側駆動回路4はいずれも、バンク層bankによって覆われている。対向電極opは、少なくとも表示部11に形成される必要があり、駆動回路領域に形成する必要はない。しかし、対向電極opは、通常、マスクスバッタ法で形成されるため、合わせ精度が悪く、対向電極opと駆動回路とが重なることがある。しかるに本形態では、これらの駆動回路の形成領域に対して対向電極opが重なる状態にあっても、駆動回路の配線層と対向電極opとの間にバンク層bankが介在することになる。それ故、駆動回路3、4に容量が寄生することを防止できるため、駆動回路3、4の負荷を低減でき、低消費電力化あるいは表示

10

動作の高速化を図ることができる。

【0032】さらに、本形態では、画素電極41の形成領域のうち、導通制御回路50の中継電極35と重なる領域にもバンク層bankが形成されている。このため、中継電極35と重なる領域には有機半導体膜43が形成されない。すなわち、画素電極41の形成領域のうち、平坦な部分のみに有機半導体膜43が形成されるので、有機半導体膜43は一定の膜厚で形成され、表示むらを起こさない。また、中継電極35と重なる領域にバンク層bankがないと、この部分でも対向電極opとの間に駆動電流が流れて有機半導体膜43が発光する。しかし、この光は中継電極35と対向電極opとの間に挟まれて外に出射されず、表示に寄与しない。かかる表示に寄与しない部分で流れる駆動電流は、表示という面からみて無効電流といえる。しかるに本形態では、従来ならこのような無効電流が流れるはずの部分にバンク層bankを形成し、そこに駆動電流が流れることを防止するので、共通給電線comに無駄な電流が流れることが防止できる。それ故、共通給電線comの幅はその分、狭くてよい。その結果として、発光面積を増すことができ、輝度、コントラスト比などの表示性能を向上させることができる。

【0033】さらにまた、本形態では、データ線sigおよび走査線gateに沿ってバンク層bankを形成してあるため、いずれの画素7も厚いバンク層bankで囲まれている。このため、このままでは、各画素7の対向電極opはバンク層bankを乗り越えて隣接する画素7の対向電極opと接続することになる。しかるに本形態では、バンク層bankには、データ線sigの延設方向で隣り合う画素7の間に相当する部分に途切れ部分offが形成されている。また、バンク層bankには、走査線gateの延設方向で隣り合う画素7の間に相当する部分にも途切れ部分offが形成されている。さらに、バンク層bankには、データ線sigおよび走査線gateの各延設方向の端部のそれぞれに途切れ部分offが形成されている。

【0034】このような途切れ部分offは厚いバンク層bankがないので、バンク層bankに起因する大きな段差のない平坦部分であり、この部分に形成されている対向電極opは断線することがない。従って、各画素7の対向電極7は、バンク層bankに起因する段差のない平坦部分を介して確実に接続していることになる。それ故、画素7の周りに厚い絶縁膜（バンク層bank）を形成して寄生容量などを抑えても、この厚い絶縁膜（バンク層bank）の上層に形成する対向電極opに断線が発生しない。

【0035】しかも、走査側駆動回路4およびデータ側駆動回路3の上層側に形成されたバンク層bankは、走査側駆動回路4の形成領域とデータ側駆動回路3の形成領域との間に相当する位置に途切れ部分offが形成

(7)

11

されている。このため、表示部11の側の対向電極opと基板外周側の対向電極opとは、バンク層bankの途切れ部分offを介して接続し、この途切れ部分offもバンク層bankに起因する段差のない平坦部分である。従って、この途切れ部分offに形成されている対向電極opは断線することがないので、表示部11の側の対向電極opと基板外周側の対向電極opとは、バンク層bankの途切れ部分offを介して確実に接続し、この基板外周側の対向電極opに配線接続されている端子12と表示部11の対向電極opとは確実に接続している。

【0036】なお、バンク層bankを黒色のレジストによって形成すると、バンク層bankはブラックマトリクスとして機能し、コントラスト比などの表示の品位が向上する。すなわち、本形態に係るアクティブマトリクス型表示装置1では、対向電極opが透明基板10の表面側において画素7の全面に形成されるため、対向電極opでの反射光がコントラスト比を低下させる。しかるに寄生容量を防止する機能を担うバンク層bankを黒色のレジストで構成すると、バンク層bankはブラックマトリクスとしても機能し、対向電極opからの反射光を遮るので、コントラスト比が向上する。

【0037】（アクティブマトリクス型表示装置の製造方法）このように形成したバンク層bankは、有機半導体膜43の形成領域を囲むように構成されているので、アクティブマトリクス型表示装置の製造工程では、インクジェットヘッドから吐出した液状の材料（吐出液）から有機半導体膜43を形成する際に吐出液をせき止め、吐出液が側方にはみ出すことを防止する。なお、以下に説明するアクティブマトリクス型表示装置1の製造方法において、透明基板10上に第1のTFT20および第2のTFT30を製造するまでの工程は、液晶アクティブマトリクス型表示装置1のアクティブマトリクス基板を製造する工程と略同様であるため、図3

(A)、(B)、(C)を参照してその概略を簡単に説明する。

【0038】まず、透明基板10に対して、必要に応じて、TEOS（テトラエトキシシラン）や酸素ガスなどを原料ガスとしてプラズマCVD法により厚さが約2000～5000オングストロームのシリコン酸化膜からなる下地保護膜（図示せず。）を形成した後、下地保護膜の表面にプラズマCVD法により厚さが約300～700オングストロームのアモルファスのシリコン膜からなる半導体膜を形成する。次にアモルファスのシリコン膜からなる半導体膜に対して、レーザアニールまたは固相成長法などの結晶化工程を行い、半導体膜をポリシリコン膜に結晶化する。

【0039】次に、半導体膜をパターニングして島状の半導体膜とし、その表面に対して、TEOS（テトラエトキシシラン）や酸素ガスなどを原料ガスとしてプラズ

12

マCVD法により厚さが約600～1500オングストロームのシリコン酸化膜または窒化膜からなるゲート絶縁膜57を形成する。

【0040】次に、アルミニウム、タンタル、モリブデン、チタン、タングステンなどの金属膜からなる導電膜をスパッタ法により形成した後、パターニングし、ゲート電極21、31、およびゲート電極31の延設部分36を形成する（ゲート電極形成工程）。この工程では走査線gateも形成する。

【0041】この状態で、高濃度のリンイオンを打ち込んで、ゲート電極21、31に対して自己整合的にソース・ドレイン領域を形成する。なお、不純物が導入されなかった部分がチャネル領域となる。

【0042】次に、第1の層間絶縁膜51を形成した後、各コンタクトホールを形成し、次に、データ線sig、ドレイン電極22、共通給電線com、共通給電線comの延設部分39、および中継電極35を形成する。その結果、第1のTFT20、第2のTFT30、および保持容量capが形成される。

【0043】次に、第2の層間絶縁膜52を形成し、この層間絶縁膜には、中継電極35に相当する部分にコンタクトホール形成する。次に、第2の層間絶縁膜52の表面全体にITO膜を形成した後、パターニングし、コンタクトホールを介して第2のTFT30のソース・ドレイン領域に電氣的に接続する画素電極41を画素7毎に形成する。

【0044】次に、第2の層間絶縁膜52の表面側にレジスト層を形成した後、このレジストを走査線gateおよびデータ線sigに沿って残すようにパターニングし、バンク層bankを形成する。また、バンク層bankの所定部分には途切れ部分offを形成しておく。このとき、データ線sigに沿って残すレジスト部分は共通給電線comを覆うように幅広とする。その結果、発光素子40の有機半導体膜43を形成すべき領域はバンク層bankに囲まれる。

【0045】次に、バンク層bankでマトリクス状に区画された領域内にインクジェット法を利用してR、G、Bに対応する各有機半導体膜43を形成していく。それには、バンク層bankの内側領域に対してインクジェットヘッドから、有機半導体膜43を構成するための液状の材料（前駆体）を吐出し、それをバンク層bankの内側領域で定着させて有機半導体膜43を形成する。ここで、バンク層bankはレジストから構成されているため、撥水性である。これに対して、有機半導体膜43の前駆体は親水性の溶媒を用いているため、たとえ有機半導体膜43の形成領域を区画するバンク層bankに途切れ部分offがあったとしても、かかる途切れ部分offは狭いので、有機半導体膜43の塗布領域はバンク層bankによって確実に規定され、隣接する画素7にはみ出ることがない。それ故、有機半導体膜4



(8)

13

3などを所定領域内だけに形成できる。この工程において、インクジェットヘッドから吐出した前駆体は表面張力の影響で約 $2\mu\text{m}$ ないし約 $4\mu\text{m}$ の厚さに盛り上がるため、バンク層bankは約 $1\mu\text{m}$ ないし約 $3\mu\text{m}$ の厚さが必要である。なお、定着した後の有機半導体膜43の厚さは約 $0.05\mu\text{m}$ から約 $0.2\mu\text{m}$ である。なお、予めバンク層bankからなる隔壁が $1\mu\text{m}$ 以上の高さであれば、バンク層bankが撥水性でなくても、バンク層bankは隔壁として十分に機能する。かかる厚いバンク層bankを形成しておけば、インクジェット法に代えて、塗布法で有機半導体膜43を形成する場合でもその形成領域を規定できる。

【0046】しかる後には、透明基板10の略全面に対向電極opを形成する。

【0047】このような製造方法によれば、インクジェット法を利用して所定の領域にR、G、Bに対応する各有機半導体膜43を形成していけるので、フルカラーのアクティブマトリクス型表示装置1を高い生産性で製造できる。

【0048】なお、図1に示すデータ側駆動回路3や走査側駆動回路4にもTFTが形成されるが、これらのTFTは前記の画素7にTFTを形成していく工程の全部あるいは一部を援用して行われる。それ故、駆動回路を構成するTFTも、画素7のTFTと同一の層間に形成されることになる。また、前記第1のTFT20、および第2のTFT30については、双方がN型、双方がP型、一方がN型で他方がP型のいずれでもよいが、このようないずれの組合せであっても周知の方法でTFTを形成していけるので、その説明を省略する。

【0049】【実施の形態1の変形例1】図4は、アクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。図5は、それに構成されている画素の1つを抜き出して示す平面図、図6(A)、

(B)、(C)はそれぞれ図5のA-A'断面図、B-B'断面図、およびC-C'断面図である。なお、本形態と実施の形態1とは基本的な構成が同一なので、共通する部分には同一の符号を各図に付してそれらの詳細な説明を省略する。

【0050】図4、図5、および図6(A)、(B)、(C)に示すように、本形態のアクティブマトリクス型表示装置1でも、データ線sigおよび走査線gateに沿って、レジスト膜からなる厚い絶縁膜(バンク層bank/左下がりの斜線を広いピッチで付した領域)を設け、このバンク層bankの上層側に対向電極opを形成してある。このため、データ線sigと対向電極opとの間には、第2の層間絶縁膜52と厚いバンク層bankが介在しているので、データ線sigに寄生する容量が極めて小さい。それ故、駆動回路3、4の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

14

【0051】また、透明基板10の周辺領域(表示部11の外側領域)にもバンク層bank(形成領域に斜線を付してある。)を形成する。従って、データ側駆動回路3および走査側駆動回路4はいずれも、バンク層bankによって覆われている。このため、これらの駆動回路の形成領域に対して対向電極opが重なる状態にあっても、駆動回路の配線層と対向電極opとの間にバンク層bankが介在することになる。それ故、駆動回路3、4に容量が寄生することを防止できるため、駆動回路3、4の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

【0052】さらに、本形態では、画素電極41の形成領域のうち、導通制御回路50の中継電極35と重なる領域にもバンク層bankが形成されているため、無駄な無効電流が流れることを防止できる。それ故、共通給電線comの幅はその分、狭くてよい。

【0053】さらにまた、本形態では、データ線sigおよび走査線gateに沿ってバンク層bankを形成してあるため、いずれの画素7もバンク層bankで囲まれている。このため、インクジェット法を利用して所定の領域にR、G、Bに対応する各有機半導体膜43を形成していけるので、フルカラーのアクティブマトリクス型表示装置1を高い生産性で製造できる。

【0054】しかも、バンク層bankには、走査線gateの延設方向で隣り合う画素7の間に相当する部分に途切れ部分offが形成されている。また、バンク層bankには、データ線sigおよび走査線gateの各延設方向の端部のそれぞれにも途切れ部分offが形成されている。さらに、走査側駆動回路4およびデータ側駆動回路3の上層側に形成されたバンク層bankは、走査側駆動回路4の形成領域とデータ側駆動回路3の形成領域との間に相当する位置に途切れ部分offが形成されている。従って、対向電極opは、バンク層bankに起因する段差のない平坦部分(途切れ部分off)を介して確実に接続し、断線することがない。

【0055】【実施の形態1の変形例2】図7は、アクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。図8は、それに構成されている画素の1つを抜き出して示す平面図、図9(A)、(B)、(C)はそれぞれ図8のA-A'断面図、B-B'断面図、およびC-C'断面図である。なお、本形態と実施の形態1とは基本的な構成が同一なので、共通する部分には同一の符号を各図に付してそれらの詳細な説明を省略する。

【0056】図7、図8、および図9(A)、(B)、(C)に示すように、本形態のアクティブマトリクス型表示装置1でも、データ線sigおよび走査線gateに沿って、レジスト膜からなる厚い絶縁膜(バンク層bank/左下がりの斜線を広いピッチで付した領域)を設け、このバンク層bankの上層側に対向電極opを



(9)

15

形成してある。このため、データ線sigと対向電極opとの間には、第2の層間絶縁膜52と厚いバンク層bankが介在しているので、データ線sigに寄生する容量が極めて小さい。それ故、駆動回路3、4の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

【0057】また、透明基板10の周辺領域（表示部11の外側領域）にもバンク層bank（形成領域に斜線を付してある。）を形成する。従って、データ側駆動回路3および走査側駆動回路4はいずれも、バンク層bankによって覆われている。このため、これらの駆動回路の形成領域に対して対向電極opが重なる状態にあっても、駆動回路の配線層と対向電極opとの間にバンク層bankが介在することになる。それ故、駆動回路3、4に容量が寄生することを防止できるため、駆動回路3、4の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

【0058】さらに、本形態では、画素電極41の形成領域のうち、導通制御回路50の中継電極35と重なる領域にもバンク層bankが形成されているため、無駄な無効電流が流れることを防止できる。それ故、共通給電線comの幅はその分、狭くてよい。

【0059】さらにまた、本形態では、データ線sigおよび走査線gateに沿ってバンク層bankを形成してあるため、いずれの画素7もバンク層bankで囲まれている。このため、インクジェット法を利用して所定の領域にR、G、Bに対応する各有機半導体膜43を形成していけるので、フルカラーのアクティブマトリクス型表示装置1を高い生産性で製造できる。

【0060】しかも、バンク層bankには、データ線sigの延設方向で隣り合う画素7の間に相当する部分に途切れ部分offが形成されている。また、バンク層bankには、データ線sigおよび走査線gateの各延設方向の端部のそれぞれにも途切れ部分offが形成されている。さらに、走査側駆動回路4およびデータ側駆動回路3の上層側に形成されたバンク層bankは、走査側駆動回路4の形成領域とデータ側駆動回路3の形成領域との間に相当する位置に途切れ部分offが形成されている。従って、対向電極opは、バンク層bankに起因する段差のない平坦部分（途切れ部分off）を介して確実に接続し、断線することがない。

【0061】【実施の形態2】図10は、アクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。図11は、それに構成されている画素の1つを抜き出して示す平面図、図12（A）、

（B）、（C）はそれぞれ図11のA-A'断面図、B-B'断面図、およびC-C'断面図である。なお、本形態と実施の形態1とは基本的な構成が同一なので、共通する部分には同一の符号を各図に付してそれらの詳細な説明を省略する。

16

【0062】図10、図11、および図12（A）、

（B）、（C）に示すように、本形態のアクティブマトリクス型表示装置1では、データ線sigに沿って、レジスト膜からなる厚い絶縁膜（バンク層bank/左下がりの斜線を広いピッチで付した領域）がストライプ状に形成され、このバンク層bankの上層側に対向電極opを形成してある。このため、データ線sigと対向電極opとの間には、第2の層間絶縁膜52と厚いバンク層bankが介在しているので、データ線sigに寄生する容量が極めて小さい。それ故、駆動回路3、4の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

【0063】また、透明基板10の周辺領域（表示部11の外側領域）にもバンク層bank（形成領域に斜線を付してある。）が形成されている。従って、データ側駆動回路3および走査側駆動回路4はいずれも、バンク層bankによって覆われているため、これらの駆動回路の形成領域に対して対向電極opが重なる状態にあっても、駆動回路の配線層と対向電極opとの間にバンク層bankが介在することになる。それ故、駆動回路3、4に容量が寄生することを防止できるため、駆動回路3、4の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

【0064】さらに、本形態では、データ線sigに沿ってバンク層bankを形成してあるため、バンク層bankでストライプ状に区画された領域内にインクジェット法を利用してR、G、Bに対応する各有機半導体膜43をストライプ状に形成していけるので、フルカラーのアクティブマトリクス型表示装置1を高い生産性で製造できる。

【0065】しかも、バンク層bankには、データ線sigの延設方向の端部に途切れ部分offが形成されている。従って、各画素7の対向電極opは、走査線gateの延設方向では、隣接する画素7の対向電極opに対して厚いバンク層bankを乗り越えて接続している。それでも、データ線sigの延設方向を辿っていくと、各画素7の対向電極opは、データ線sigの端部で途切れ部分off（バンク層bankに起因する段差のない平坦部分）を介して、走査線gateの延設方向で隣接する画素7の列と接続している。それ故、各画素7の対向電極opは、バンク層bankに起因する段差のない平坦部分を介して他の画素7の対向電極opに接続しているといえ、いずれの画素7の対向電極opも断線状態になることはない。

【0066】【その他の実施の形態】なお、バンク層bank（絶縁膜）についてはレジスト膜、ポリイミド膜などの有機材料から構成した場合には厚い膜を容易に形成できるが、バンク層bank（絶縁膜）をCVD法あるいはSOG法で成膜したシリコン酸化膜あるいはシリコン窒化膜などの無機材料から構成した場合には、有機

(10)

17

半導体膜43と接触した状態にあっても有機半導体膜43の変質を防止することができる。

【0067】また、保持容量capについては共通給電線comとの間に形成した構造の他、走査線gateと並列に形成した容量線との間に形成してもよい。

【0068】

【発明の効果】以上説明したように、本発明に係るアクティブマトリクス型表示装置では、データ線と対向電極との間に厚い絶縁膜を介在させたので、データ線に容量が寄生することを防止できる。それ故、データ線駆動回路の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。また、厚い絶縁膜の所定の位置に途切れ部分を構成し、この部分を平坦にしてある。従って、各領域毎の対向電極は平坦部分に形成された部分を介して電氣的に接続するので、たとえ、絶縁膜に起因する段差によってこの部分で断線しても、絶縁膜の途切れ部分に相当する平坦部分を介して確実に電氣的に接続している。よって、有機半導体膜等の発光薄膜の周りに厚い絶縁膜を形成して寄生容量などを抑えたとしても、絶縁膜の上層に形成する対向電極に断線が発生しないので、アクティブマトリクス型表示装置の表示品質および信頼性を向上することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1に係るアクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。

【図2】図1に示すアクティブマトリクス型表示装置に構成されている画素の1つを抜き出して示す平面図である。

【図3】(A)、(B)、(C)はそれぞれ図2のA-A'断面図、B-B'断面図、およびC-C'断面図である。

【図4】本発明の実施の形態1の変形例1に係るアクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。

【図5】図4に示すアクティブマトリクス型表示装置に構成されている画素の1つを抜き出して示す平面図である。

【図6】(A)、(B)、(C)はそれぞれ図5のA-A'断面図、B-B'断面図、およびC-C'断面図である。

【図7】本発明の実施の形態1の変形例2に係るアクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。

【図8】図7に示すアクティブマトリクス型表示装置に構成されている画素の1つを抜き出して示す平面図である。

18

【図9】(A)、(B)、(C)はそれぞれ図8のA-A'断面図、B-B'断面図、およびC-C'断面図である。

【図10】本発明の実施の形態2に係るアクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。

【図11】図10に示すアクティブマトリクス型表示装置に構成されている画素の1つを抜き出して示す平面図である。

【図12】(A)、(B)、(C)はそれぞれ図11のA-A'断面図、B-B'断面図、およびC-C'断面図である。

【図13】従来および本発明の比較例に係るアクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。

【図14】図13に示すアクティブマトリクス型表示装置に構成されている画素の1つを抜き出して示す平面図である。

【図15】(A)、(B)、(C)はそれぞれ図14のA-A'断面図、B-B'断面図、およびC-C'断面図である。

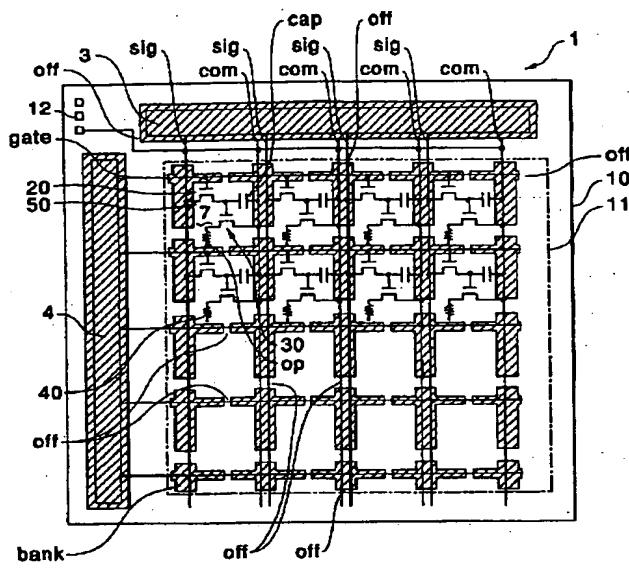
【図16】(A)、(B)、(C)はそれぞれ図14の別のA-A'断面図、B-B'断面図、およびC-C'断面図である。

【符号の説明】

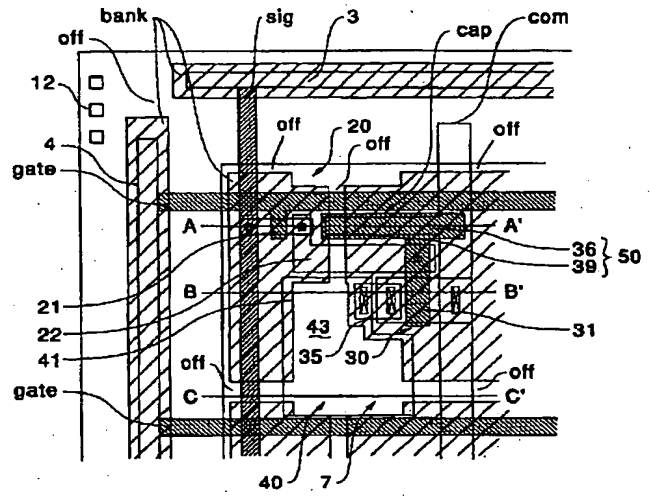
1	アクティブマトリクス型表示装置
2	表示部
3	データ側駆動回路
4	走査側駆動回路
7	画素
10	透明基板
12	端子
20	第1のTFT
21	第1のTFTのゲート電極
30	第2のTFT
31	第2のTFTのゲート電極
40	発光素子
41	画素電極
43	有機半導体
bank	バンク層(絶縁膜)
cap	保持容量
com	共通給電線
gate	走査線
op	対向電極
sig	データ線
off	バンク層の途切れ部分

(11)

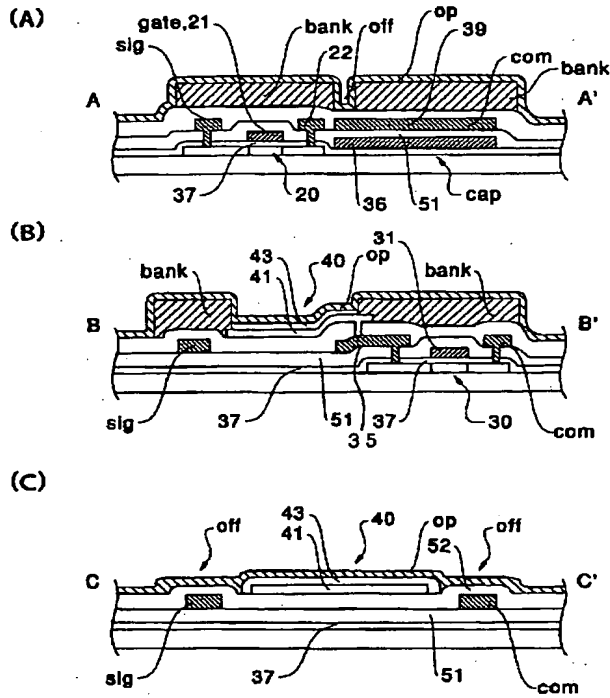
【図1】



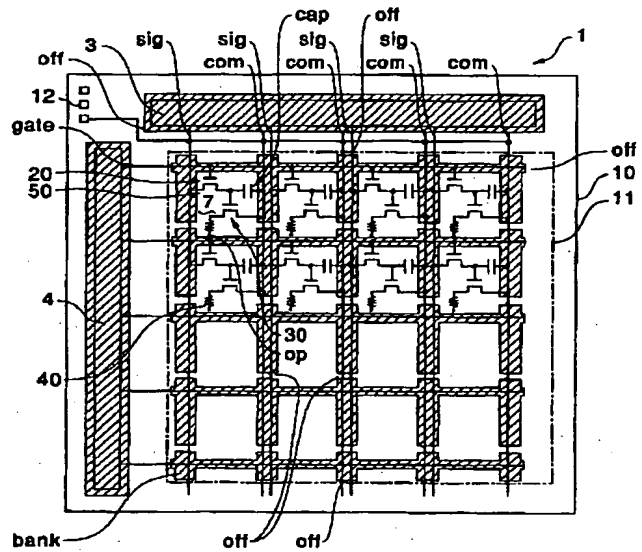
【図2】



【図3】



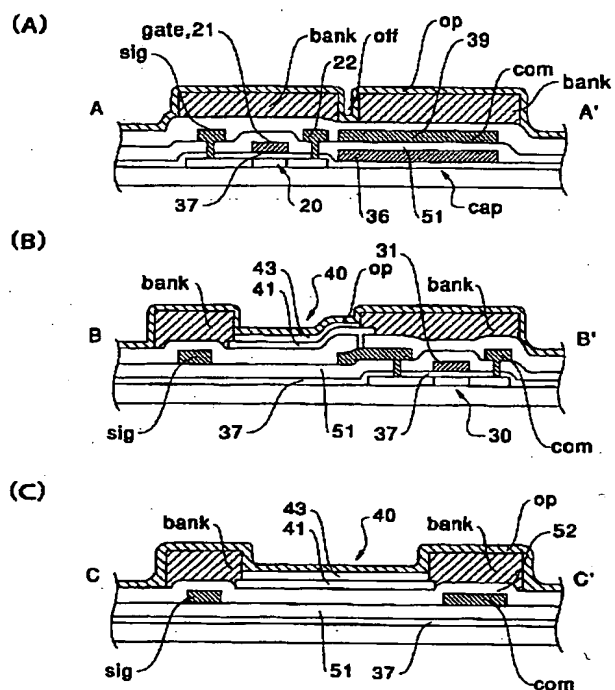
【図4】



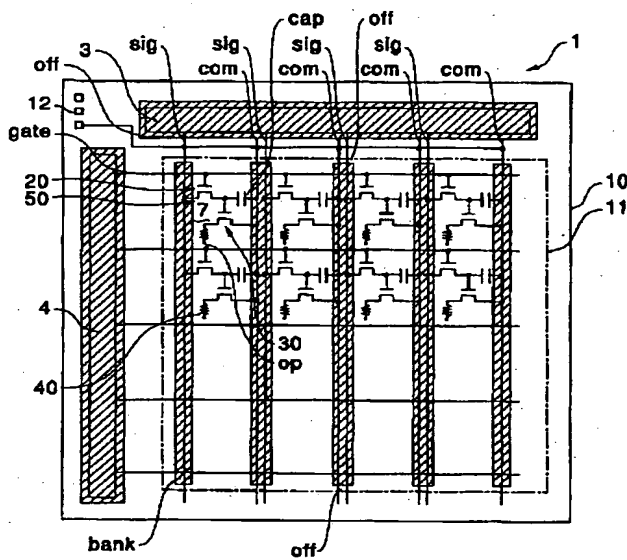


(13)

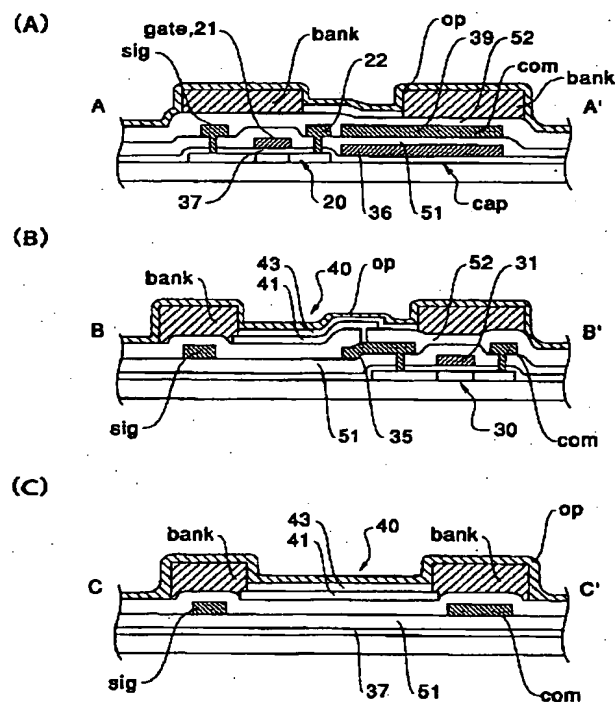
【図9】



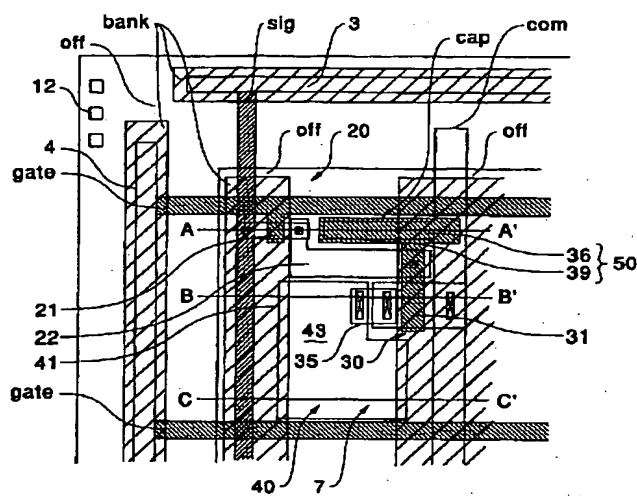
【図10】



【図12】

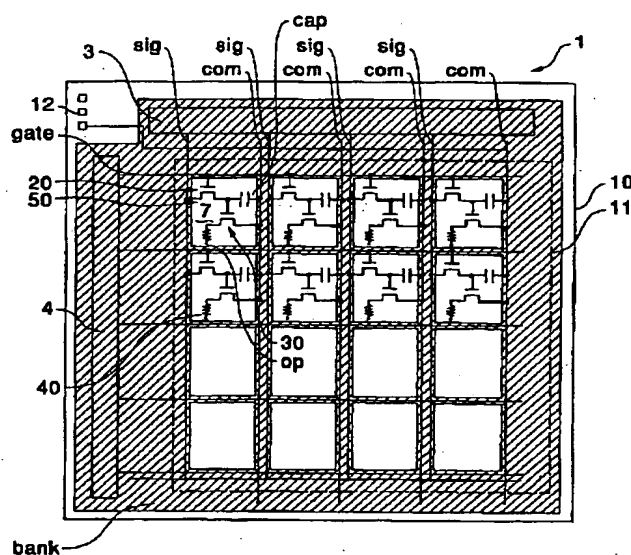


【図11】

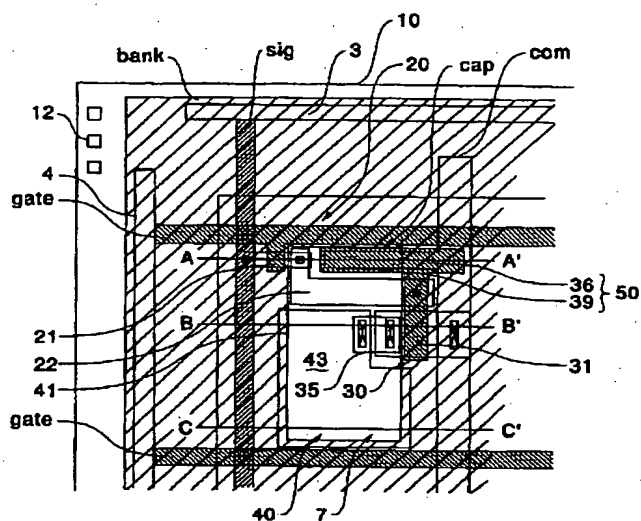


(14)

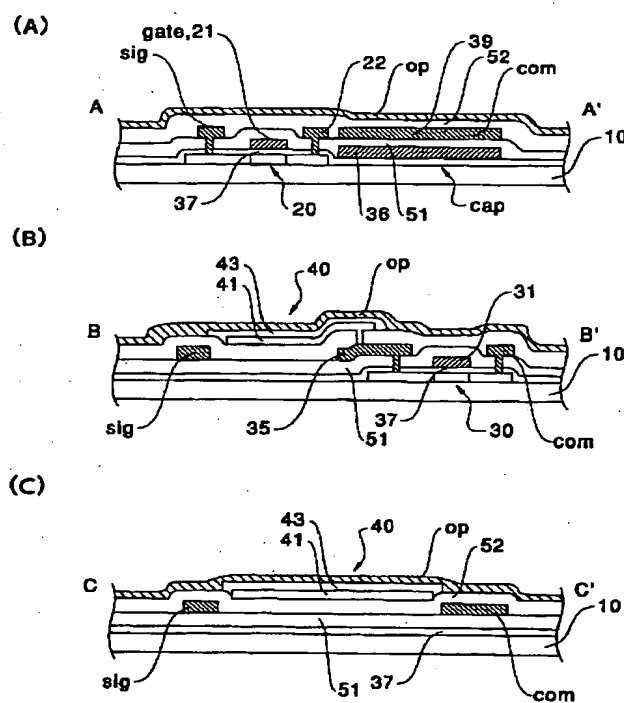
【図13】



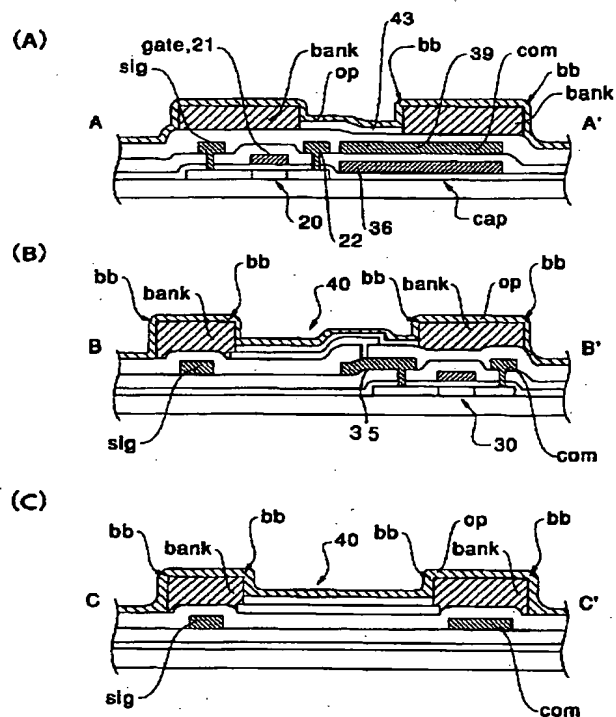
【図14】



【図15】



【図16】



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-065487

(43)Date of publication of application : 05.03.1999

(51)Int.Cl.

G09F 9/33

G09F 9/30

H05B 33/22

H05B 33/26

(21)Application number : 09-225433

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 21.08.1997

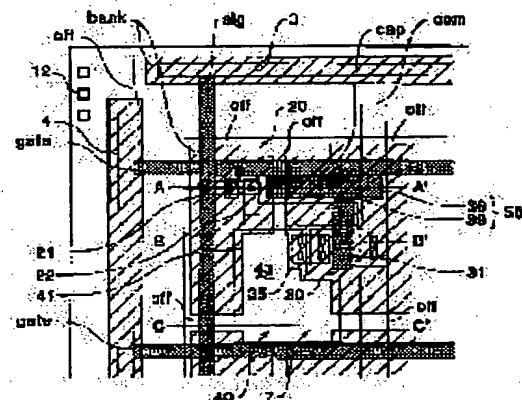
(72)Inventor : YUDASAKA KAZUO

## (54) ACTIVE MATRIX TYPE DISPLAY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent the occurrence of discontinuity or the like in opposing electrodes formed on the upper layer of a thick insulation film by providing a broken part connecting counter electrode parts to each other of each pixel to an insulation film formed at the lower layer side of the counter electrodes more thickly than an organic semiconductor film through a flat part having no step caused by the insulation film, forming a thick insulation film around the organic semiconductor film and suppressing parasitic capacity.

**SOLUTION:** A thick insulation film (bank layer 'bank') is provided along a data line 'sig' a scanning line 'gate'. A broken part 'off' is formed on each end part in each extending direction of the data line 'sig' and the scanning line gate in this bank layer 'bank'. Thus, as a thick bank layer bank is interposed between them, the parasitic capacity of the data line 'sig' is extremely small. Moreover, as the thick bank layer 'bank' does not exist on the broken part 'off', it is a flat part having no step caused by the bank layer 'bank' and the counter electrodes formed on this part will not be disconnected.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]



[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] On a substrate, there are two or more scanning lines. Two or more data lines which intersect this scanning line. It is the flow control circuit where it has a display which consists of two or more pixels formed in the shape of a matrix by this data line and said scanning line, and each of this pixel contains a thin film transistor by which a scan signal is supplied to a gate electrode through said scanning line. A counterelectrode formed in an upper layer side of a luminescence thin film by which the laminating was carried out to an upper layer side of a pixel electrode formed for every pixel, and this pixel electrode, and this luminescence thin film. It is the active-matrix mold display equipped with the above, and while a formation field of said luminescence thin film is divided by insulator layer formed in a lower layer side of said counterelectrode more thickly than said luminescence thin film, this insulator layer is characterized by thing to which the counterelectrode portions for every pixel are connected through a part for a flat part without a level difference resulting from the insulator layer concerned and for which it broke off and has a portion.

[Claim 2] The 1st thin film transistor by which, as for said flow control circuit, said scan signal is supplied to a gate electrode in claim 1, It has the 2nd thin film transistor which a gate electrode connects to said data line through this 1st thin film transistor. And this 2nd thin film transistor and said thin film light emitting device. A active-matrix mold display characterized by having connected with a serial between a common feeder for drive current supply sources constituted apart from said data line and scanning line, and said counterelectrode.

[Claim 3] It is the active-matrix mold display characterized by being the bank layer which prevents a flash of regurgitation liquid in case said luminescence thin film is formed by the ink jet method in a field where said insulator layer was divided by the insulator layer concerned in claims 1 or 2.

[Claim 4] Said insulator layer is a active-matrix mold display with which it is characterized by thickness being 1 micrometers or more in claim 3.

[Claim 5] It is the active-matrix mold display characterized by said thing [ having broken off and having a portion ] at a portion which corresponds between pixels which are formed, become so that said insulator layer may surround the surroundings of a formation field of said luminescence thin film along with said data line and said scanning line in claim 1 thru/or either of 4, and adjoin each other in each installation direction of said data line and said scanning line.

[Claim 6] It is the active-matrix mold display characterized by said thing [ having broken off and having a portion ] at a portion which corresponds between pixels which adjoin each other in the installation direction of said scanning line while having surrounded the surroundings of a formation field of said luminescence thin film by forming said insulator layer along with said data line and said scanning line in claim 1 thru/or either of 4.

[Claim 7] It is the active-matrix mold display characterized by said thing [ having broken off and having a portion ] at a portion which corresponds between pixels which adjoin each other in the installation direction of said data line while having surrounded the surroundings of a formation field of said luminescence thin film by forming said insulator layer along with said data line and said scanning line in claim 1 thru/or either of 4.

[Claim 8] It is the active-matrix mold display which said insulator layer is formed in the shape of a stripe

along with said data line in claim 1 thru/or either of 4, and is characterized by said thing [ having broken off and having a portion ] at one [ at least ] edge of this formation direction.

[Claim 9] It is the active-matrix mold display characterized by covering a formation field of said flow control circuit, and a field with which it laps by said insulator layer among formation fields of said pixel electrode in claim 5 thru/or either of 8.

[Claim 10] In claim 1 thru/or either of 9 around said display It has a data-line drive circuit which supplies a data signal through said data line, and a scanning-line drive circuit which supplies a scan signal through said scanning line. While said insulator layer is formed also in an upper layer side of this scanning-line drive circuit and said data-line side drive circuit, the insulator layer concerned Between a formation field of said scanning-line drive circuit, and a formation field of said data side drive circuit A active-matrix mold display characterized by thing which connect said counterelectrode to a corresponding location through a part for a flat part without a level difference which originates a said display and substrate periphery side in the insulator layer concerned, and for which it broke off and has a portion.

[Claim 11] It is the active-matrix mold display characterized by said insulator layer consisting of an organic material in claim 1 thru/or either of 10.

[Claim 12] It is the active-matrix mold display characterized by said insulator layer consisting of an inorganic material in claim 1 thru/or either of 10.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the active-matrix mold display which carries out drive control of the thin film light emitting devices, such as EL (electroluminescence) element which emits light when drive current flows to luminescence thin films, such as an organic-semiconductor film, or an LED (light emitting diode) element, by the thin film transistor (henceforth TFT).

[0002]

[Description of the Prior Art] The display of the active-matrix mold using current control mold light emitting devices, such as an EL element or an LED element, is proposed. In order that each light emitting device used for this type of indicating equipment may carry out self-luminescence, unlike a liquid crystal display, it does not need a back light, and also has an advantage, like there are few angle-of-visibility dependencies.

[0003] Drawing 13 has shown the block diagram of the active-matrix mold indicating equipment which used the organic thin film EL element of such a charge impregnation mold. Two or more data lines sig installed in the direction which crosses on the transparence substrate 10 to the installation direction of two or more scanning-lines gate and this scanning line gate, and two or more pixels 7 formed in the shape of a matrix by two or more common feeders com to which it stands in a row in this data line sig, the data line sig, and the scanning line gate consist of active-matrix mold display 1A shown in this drawing. To the data line sig and the scanning line gate, the data-line drive circuit 3 and the scanning-line drive circuit 4 are constituted. The flow control circuit 50 to which a scan signal is supplied through the scanning line gate, and the thin film light emitting device 40 which emits light based on the picture signal supplied from the data line sig through this flow control circuit 50 are constituted by each pixel 7. In the example shown here, the flow control circuit 50 consists of 1st TFT20 by which a scan signal is supplied to a gate electrode, retention volume cap holding the picture signal with which it is supplied from the data line sig through this 1st TFT20, and 2nd TFT30 by which the picture signal held with this retention volume cap is supplied to a gate electrode through the scanning line gate. The 2nd TFT30 and thin film light emitting device 40 are connected to a serial in detail between Counterelectrodes op and the common feeders com which are mentioned later. This luminescence condition is held for this thin film light emitting device 40 during the predetermined period with retention volume cap while drive current flows in and emits light from the common feeder com, when 2nd TFT30 is turned on.

[0004] In such active-matrix mold display 1A of a configuration, as shown in drawing 14 and drawing 15 (A), and (B), also in which pixel 7, the 1st TFT20 and 2nd TFT30 are formed using the island-like semiconductor film. As for 1st TFT20, the gate electrode 21 is constituted as a part of scanning line gate. The data line sig connected with one side of a source drain field electrically through the KONTAKU hole of the 1st interlayer insulation film 51, and the drain electrode 22 has connected 1st TFT20 to another side electrically. The drain electrode 22 is installed towards the formation field of 2nd TFT30, and the gate electrode 31 of 2nd TFT30 has connected it to this installation portion electrically through the contact hole of the 1st interlayer insulation film 51. The junction electrode 35 connected with one side of the source drain field of 2nd TFT30 electrically through the contact hole of the 1st interlayer insulation film 51, and the pixel electrode 41 of the thin film light emitting device 40 has connected with this junction electrode 35

electrically through the contact hole of the 2nd interlayer insulation film 52 at it.

[0005] The pixel electrode 41 is formed independently every pixel 7 so that drawing 14 and drawing 15 (B), and (C) may show. The laminating of the organic-semiconductor film 43 and the counterelectrode op is carried out to this order at the upper layer side of the pixel electrode 41. Although the organic-semiconductor film 43 is formed every pixel 7, ranging over two or more pixels 7, it may be formed in the shape of a stripe. Counterelectrode op is formed all over the abbreviation not only for the display 11 but the transperence substrate 10 with which the pixel 7 is constituted so that drawing 13 may show.

[0006] Again, in drawing 14 and drawing 15 (A), the common feeder com has connected with another side of the source drain field of 2nd TFT30 electrically through the contact hole of the 1st interlayer insulation film 51. To the installation portion 36 of the gate electrode 31 of 2nd TFT30, the installation portion 39 of the common feeder com counters on both sides of the 1st interlayer insulation film 51 as a dielectric film, and constitutes retention volume cap.

[0007]

[Problem(s) to be Solved by the Invention] However, in the aforementioned active-matrix mold indicating-equipment 1A, since the counterelectrode op which counters the pixel electrode 41 is different from a liquid crystal active-matrix mold indicating equipment and has only the 2nd interlayer insulation film 52 between the data lines sig on the same transperence substrate 10, a big capacity is parasitic on the data line sig, and its load of the data-line drive circuit 3 is large.

[0008] Then, as shown in drawing 13, drawing 14 and drawing 16 (A), (B), and (C), an invention-in-this-application person prepares a thick insulator layer (field where bank layer bank / lower left attached the slash of \*\* in the large pitch) between Counterelectrode op, the data line sig, etc., and proposes reducing the capacity which is parasitic on the data line sig. By combining and surrounding the formation field of the organic-semiconductor film 43 by this insulator layer (bank layer bank), in case the organic-semiconductor film 43 is formed from the liquefied material (regurgitation liquid) breathed out from the ink jet arm head, regurgitation liquid is dammed up in the bank layer bank, and it proposes preventing that regurgitation liquid overflows into the side. However, if this structure is adopted, it will be easy to disconnect the counterelectrode op which it originates in existence of the thick bank layer bank, and the big level difference bb is formed, and is formed in the upper layer of this bank layer bank in the portion of the aforementioned level difference bb. If an open circuit arises in Counterelectrode op in such a level difference bb, the counterelectrode op of this portion will be in an insulating condition from the surrounding counterelectrode op, and will generate the point defect or line defect of a display. Moreover, if an open circuit takes place to Counterelectrode op along the periphery edge of the wrap bank layer bank, between the counterelectrode op of a display 11 and terminals 12 will be in an insulating condition completely, and a display will completely become impossible [ the surface of the data side drive circuit 3 or the scan side drive circuit 4 ].

[0009] Then, the technical problem of this invention is to offer the active-matrix mold display which an open circuit etc. does not generate in the counterelectrode which forms a thick insulator layer in the surroundings of an organic-semiconductor film, stops parasitic capacitance etc. and is formed in the upper layer of this thick insulator layer.

[0010]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, in this invention, on a substrate Two or more scanning lines, It has a display which consists of two or more pixels formed in the shape of a matrix by two or more data lines which intersect this scanning line, and this data line and said scanning line. Each of this pixel A flow control circuit containing TFT by which a scan signal is supplied to a gate electrode through said scanning line, A pixel electrode formed for every pixel, a luminescence thin film by which the laminating was carried out to an upper layer side of this pixel electrode, And it has a thin film light emitting device possessing a counterelectrode formed in an upper layer side of this luminescence thin film. In a active-matrix mold display with which said thin film light emitting device emits light based on a picture signal supplied through said flow control circuit from said data line While a formation field of said organic-semiconductor film is divided by insulator layer formed in a lower layer side of said

counterelectrode more thickly than said organic-semiconductor film, this insulator layer It is characterized by thing to which the counterelectrode portions for every pixel are connected through a part for a flat part without a level difference resulting from the insulator layer concerned and for which it broke off and has a portion.

[0011] In this invention, since it is in the condition of countering with the data line, the way things stand, a big capacity will be parasitic [ it is formed in a counterelectrode display, and ] to the data line. However, in this invention, since a thick insulator layer was made to intervene between the data line and a counterelectrode, it can prevent that capacity is parasitic on the data line. Consequently, since a load of a data-line drive circuit can be reduced, low-power-izing or improvement in the speed of a display action can be attained. Moreover, although this insulator layer has a possibility that an open circuit may generate a counterelectrode which forms a big level difference and is formed in that upper layer side when a thick insulator layer is formed, it breaks off to a position of a thick insulator layer, a portion is constituted from this invention, and this portion is made flat. Therefore, since it has connected electrically certainly through a part for a flat part which an insulator layer breaks off and is equivalent to a portion even if it disconnects in this portion with a level difference resulting from an insulator layer, since a counterelectrode for every field is electrically connected through a portion formed in a part for a flat part, fault of an open circuit of an opposite substrate does not occur. So, in a active-matrix mold display, since an open circuit does not occur in a counterelectrode formed in the upper layer of an insulator layer even if it forms a thick insulator layer in the surroundings of an organic-semiconductor film and stops parasitic capacitance etc., the display quality and reliability of a active-matrix mold display can be improved.

[0012] Said flow control circuit is equipped with the 1st TFT by which said scan signal is supplied to a gate electrode, and the 2nd TFT which a gate electrode connects to said data line through this 1st TFT in this invention, and, as for said data line and scanning line, it is [ this 2nd TFT and said thin film light emitting device ] desirable to have connected with a serial between a common feeder for drive current supply sources constituted independently and said counterelectrode. That is, although it is also possible to constitute a flow control circuit from one TFT and retention volume, if display grace is carried out from a viewpoint of making it high, it is desirable to constitute a flow control circuit of each pixel from two TFT(s) and retention volume.

[0013] In this invention, in case said insulator layer forms said luminescence thin film by the ink jet method in a field divided by the insulator layer concerned, it is desirable to use as a bank layer which prevents a flash of regurgitation liquid. As for said insulator layer, to it, it is desirable that thickness is 1 micrometers or more.

[0014] In this invention, said insulator layer constitutes the aforementioned way piece portion into a portion which corresponds between pixels which adjoin each other in the direction between pixels which adjoin each other in the installation direction of said scanning line, or of these both sides between pixels which adjoin each other in the installation direction of said data line, when the surroundings of a formation field of said luminescence thin film are surrounded along with said data line and said scanning line.

[0015] Unlike the above-mentioned gestalt, said insulator layer may be installed in the shape of a stripe along with said data line, and may constitute the aforementioned way piece portion at one [ at least ] edge of this installation direction in this case.

[0016] As for a formation field of said flow control circuit, and a field with which it laps, in this invention, being covered by said insulator layer is desirable among formation fields of said pixel electrode. That is, it is desirable to carry out the opening of the aforementioned thick insulator layer only by part for a flat part in which said flow control circuit is not formed among formation fields of said pixel electrode, and to form an organic-semiconductor film only in this inside. Thus, if constituted, display unevenness resulting from thickness dispersion of an organic-semiconductor film can be prevented. Moreover, in a field which laps with a flow control circuit even if a pixel electrode is formed, even if drive current flows between counterelectrodes and an organic-semiconductor film emits light to it, this light will be interrupted by flow control circuit and will not contribute to a display. Drive current which flows on an organic-semiconductor film in a portion which does not contribute to this display can be called reactive current seen from a field

of a display. So, in this invention, if it is the former, the aforementioned thick insulator layer is formed in a portion into which such the reactive current should flow, and it prevents that drive current flows there. Consequently, since current which flows to a common feeder can make it small, if width of face of the part and a common feeder is narrowed, as the result, luminescence area can be increased and display engine performance, such as brightness and a contrast ratio, can be raised.

[0017] A data-line drive circuit which supplies a data signal to the perimeter of said display through said data line in this invention, And while having a scanning-line drive circuit which supplies a scan signal through said scanning line and forming said insulator layer also in an upper layer side of this scanning-line drive circuit and said data-line drive circuit The insulator layer concerned has a desirable thing which connect said counterelectrode to a location which corresponds between a formation field of said scanning-line drive circuit, and a formation field of said data-line drive circuit through a part for a flat part without a level difference which originates a said display and substrate periphery side in the insulator layer concerned and for which it broke off and has a portion. Thus, if constituted, even if an open circuit occurs the surface of a data-line drive circuit or a scanning-line drive circuit in a counterelectrode along a periphery edge of a wrap insulator layer, a counterelectrode by the side of a display and a counterelectrode by the side of a substrate periphery are connected through a part for a flat part without a level difference resulting from this insulator layer, and electrical installation between a counterelectrode by the side of a display and a counterelectrode by the side of a substrate periphery can be secured.

[0018] In this invention, when said insulator layer is constituted from organic materials, such as a resist film, a thick film can be formed easily. On the other hand, when said insulator layer is constituted from an inorganic material, even if it is in the condition of having contacted a luminescence thin film, deterioration of a luminescence thin film can be prevented.

[0019]

[Embodiment of the Invention] The gestalt of operation of this invention is explained with reference to a drawing. In addition, in the following explanation, the same sign is given to the portion which is common to the element explaining drawing 13 thru/or drawing 16 .

[0020] [The gestalt 1 of operation]

(Whole configuration) Drawing 1 is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment. The plan which drawing 2 extracts one of the pixels constituted by it, and is shown, drawing 3 (A), (B), and (C) are the A-A' cross sections, B-B' cross sections, and C-C' cross sections of drawing 2 , respectively.

[0021] Let a part for the center section of the base slack transparence substrate 10 be a display 11 in the active-matrix mold display 1 shown in drawing 1 . The data side drive circuit 3 which outputs a picture signal to the edge of the data line sig among the periphery portions of the transparence substrate 10 is constituted, and the scan side drive circuit 4 which outputs a scan signal is constituted by the edge of the scanning line gate. A complementary type TFT is constituted by TFT of N type, and TFT of P type, and this complementary type TFT constitutes the shift register circuit, the level-shifter circuit, the analog switch circuit, etc. from these drive circuits 3 and 4 by them. Two or more data lines sig installed in the direction which crosses on the transparence substrate 10 to the installation direction of two or more scanning lines gate and this scanning line gate like the active-matrix substrate of a liquid crystal active-matrix mold indicating equipment, and two or more pixels 7 formed in the shape of a matrix by the data line sig and the scanning line gate consist of displays 11.

[0022] The flow control circuit 50 to which a scan signal is supplied through the scanning line gate, and the thin film light emitting device 40 which emits light based on the picture signal supplied from the data line sig through this flow control circuit 50 are constituted by each pixel 7. In the example shown here, the flow control circuit 50 consists of 1st TFT20 by which a scan signal is supplied to a gate electrode, retention volume cap holding the picture signal with which it is supplied from the data line sig through this 1st TFT20, and 2nd TFT30 by which the picture signal held with this retention volume cap is supplied to a gate electrode through the scanning line gate. The 2nd TFT30 and thin film light emitting device 40 are connected to a serial in detail between Counterelectrodes op and the common feeders com which are



mentioned later.

[0023] With such a active-matrix mold display 1 of a configuration, they are drawing 2 and drawing 3 (as shown in (A) and (B), also in which pixel 7, the 1st TFT20 and 2nd TFT30 are formed using the island-like semiconductor film (silicon film)).

[0024] As for 1st TFT20, the gate electrode 21 is constituted as a part of scanning line gate. The data line sig connected with one side of a source drain field electrically through the KONTAKU hole of the 1st interlayer insulation film 51, and the drain electrode 22 has connected 1st TFT20 to another side electrically. The drain electrode 22 is installed towards the formation field of 2nd TFT30, and the gate electrode 31 of 2nd TFT30 has connected it to this installation portion electrically through the contact hole of the 1st interlayer insulation film 51.

[0025] The junction electrode 35 by which coincidence formation was carried out with the data line sig through the contact hole of the 1st interlayer insulation film 51 connected with one side of the source drain field of 2nd TFT30 electrically, and the transparent pixel electrode 41 which consists of an ITO film of the thin film light emitting device 40 through the contact hole of the 2nd interlayer insulation film 52 has connected with this junction electrode 35 electrically.

[0026] The pixel electrode 41 is formed independently every pixel 7 so that drawing 2 and drawing 3 (B), and (C) may show. The laminating of the counterelectrode op which is from metal membranes, such as the organic-semiconductor film 43 which consists of those, such as polyphenylene vinylene (PPV), as a luminescence thin film and lithium content aluminum, and calcium, on the upper layer side of the pixel electrode 41 is carried out to this order, and the thin film light emitting device 40 is constituted. Although the organic-semiconductor film 43 is formed in each pixel 7, ranging over two or more pixels 7, it may be formed in the shape of a stripe. Counterelectrode op is formed in the display 11 whole and the field except the perimeter of a portion in which the terminal 12 of the transparence substrate 10 is formed. This terminal 12 contains the terminal of the counterelectrode op linked to the wiring (not shown) by which coincidence formation was carried out with Counterelectrode op.

[0027] In addition, the structure in which the both sides of the structure which prepared the hole-injection layer and raised luminous efficiency (rate of a hole injection) as a thin film light emitting device 40, the structure which prepared the electron injection layer and raised luminous efficiency (electron injection efficiency), a hole-injection layer, and an electron injection layer were formed is also employable.

[0028] Again, in drawing 2 and drawing 3 (A), the common feeder com has connected with another side of the source drain field of 2nd TFT30 electrically through the contact hole of the 1st interlayer insulation film 51. To the installation portion 36 of the gate electrode 31 of 2nd TFT30, the installation portion 39 of the common feeder com counters on both sides of the 1st interlayer insulation film 51 as a dielectric film, and constitutes retention volume cap.

[0029] Thus, in the active-matrix mold display 1, if it is chosen by the scan signal and 1st TFT20 is turned on, while the picture signal from the data line sig will be impressed to the gate electrode 31 of 2nd TFT30 through 1st TFT20, a picture signal is written in retention volume cap through 1st TFT20. Consequently, if 2nd TFT30 is turned on, voltage will be impressed by using Counterelectrode op and the pixel electrode 41 as a negative electrode and a positive electrode, respectively, and the current (drive current) which flows on the organic-semiconductor film 43 in the field in which applied voltage exceeded threshold voltage will increase rapidly. Therefore, a light emitting device 40 emits light as an electroluminescent element or an LED element, it is reflected by Counterelectrode op, and the light of a light emitting device 40 penetrates the transparent pixel electrode 41 and the transparence substrate 10, and outgoing radiation is carried out. The drive current for performing such luminescence will not flow, if 2nd TFT30 is turned off in order to flow Counterelectrode op, the organic-semiconductor film 43, the pixel electrode 41, 2nd TFT30, and the current path that consists of common feeders com. However, since the gate electrode of 2nd TFT30 is held at the potential which is equivalent to a picture signal with retention volume cap even if 1st TFT20 is turned off, 2nd TFT30 is still an ON state. So, drive current continues flowing to a light emitting device 40, and this pixel is still a lighting condition. New image data is written in retention volume cap, and this condition is maintained until 2nd TFT30 is turned off.

[0030] In the active-matrix mold display 1 constituted in this way (Structure of a bank layer) With this gestalt In order to prevent that a big capacity is parasitic on the data line sig, as it is shown in drawing 1, drawing 2 and drawing 3 (A), (B), and (C) Along with the data line sig and the scanning line gate, the thick insulator layer (field where bank layer bank / lower left attached the slash of \*\* in the large pitch) which consists of a resist film or a polyimide film is prepared, and Counterelectrode op is formed in the upper layer side of this bank layer bank. For this reason, since the 2nd interlayer insulation film 52 and the thick bank layer bank intervene between the data line sig and Counterelectrode op, the capacity which is parasitic on the data line sig is very small. So, the load of the drive circuits 3 and 4 can be reduced and low-power-izing or improvement in the speed of a display action can be attained.

[0031] Moreover, as shown in drawing 1, the bank layer bank (the slash is given to the formation field.) is formed also in the boundary region (outside field of a display 11) of the transparence substrate 10. Therefore, the data side drive circuit 3 and the scan side drive circuit 4 are all covered with the bank layer bank. Counterelectrode op needs to be formed in a display 11 at least, and it is not necessary to form it in a drive circuit field. However, since Counterelectrode op is usually formed by the mask spatter method, doubling precision may be bad and Counterelectrode op and a drive circuit may lap. However, with this gestalt, even if it is in the condition that Counterelectrode op laps to the formation field of these drive circuits, the bank layer bank will intervene between the wiring layer of a drive circuit, and Counterelectrode op. So, since it can prevent that capacity is parasitic on the drive circuits 3 and 4, the load of the drive circuits 3 and 4 can be reduced and low-power-izing or improvement in the speed of a display action can be attained.

[0032] Furthermore, the bank layer bank is formed also in the field which laps with the junction electrode 35 of the flow control circuit 50 among the formation fields of the pixel electrode 41 with this gestalt. For this reason, the organic-semiconductor film 43 is not formed in the field which laps with the junction electrode 35. That is, since the organic-semiconductor film 43 is formed only in a flat portion among the formation fields of the pixel electrode 41, the organic-semiconductor film 43 is formed by fixed thickness, and does not cause display unevenness. Moreover, if there is no bank layer bank in the field which laps with the junction electrode 35, also in this portion, drive current will flow between Counterelectrodes op and the organic-semiconductor film 43 will emit light to it. However, this light is inserted between the junction electrode 35 and Counterelectrode op, and outgoing radiation is not carried out outside, and it does not contribute to a display. The drive current which flows in the portion which does not contribute to this display can be called reactive current seen from the field of a display. However, with this gestalt, since it prevents that form the bank layer bank in the portion into which such the reactive current should flow, and drive current flows there if it is the former, it can prevent that useless current flows to the common feeder com. So, the width of face of the common feeder com may be narrow that much. As the result, luminescence area can be increased and display engine performance, such as brightness and a contrast ratio, can be raised.

[0033] By this gestalt, since the bank layer bank is formed along with the data line sig and the scanning line gate, any pixel 7 is surrounded in the thick bank layer bank further again. For this reason, the way things stand, the counterelectrode op of each pixel 7 will connect the bank layer bank with the counterelectrode op of the pixel 7 which gets over and adjoins. However, with this gestalt, it breaks off into the portion which corresponds between the pixels 7 which adjoin each other in the installation direction of the data line sig, and Portion off is formed in the bank layer bank. Moreover, it breaks off also into the portion which corresponds between the pixels 7 which adjoin each other in the installation direction of the scanning line gate, and Portion off is formed in the bank layer bank. Furthermore, it breaks off to each of the edge of each installation direction of the data line sig and the scanning line gate, and Portion off is formed in the bank layer bank.

[0034] Since it breaks off and Portion off does not have the thick bank layer bank, the counterelectrode op which is a part for a flat part without such a big level difference resulting from the bank layer bank, and is formed in this portion is not disconnected. Therefore, the counterelectrode 7 of each pixel 7 will be certainly connected through a part for a flat part without the level difference resulting from the bank layer

bank. So, even if it forms a thick insulator layer (bank layer bank) in the surroundings of a pixel 7 and stops parasitic capacitance etc., an open circuit does not occur in the counterelectrode op formed in the upper layer of this thick insulator layer (bank layer bank).

[0035] And the bank layer bank formed in the upper layer side of the scan side drive circuit 4 and the data side drive circuit 3 breaks off in the location which corresponds between the formation field of the scan side drive circuit 4, and the formation field of the data side drive circuit 3, and Portion off is formed. For this reason, the near counterelectrode op of a display 11 and the counterelectrode op by the side of a substrate periphery are parts for the flat part which the bank layer bank breaks off, connect through Portion off, and do not have this level difference to which it breaks off and Portion off originates in the bank layer bank. Therefore, since this counterelectrode op that breaks off and is formed in Portion off is not disconnected, the bank layer bank broke off, it connected certainly through Portion off, and the near counterelectrode op of a display 11 and the counterelectrode op by the side of a substrate periphery have connected certainly to the counterelectrode op by the side of this substrate periphery the terminal 12 by which wiring connection is made, and the counterelectrode op of a display 11.

[0036] In addition, if the bank layer bank is formed by the black resist, the bank layer bank will function as a black matrix, and its grace of displays, such as a contrast ratio, will improve. That is, in the active-matrix mold display 1 concerning this gestalt, since Counterelectrode op is formed in the surface side of the transparence substrate 10 all over a pixel 7, the reflected light in Counterelectrode op reduces a contrast ratio. However, if the bank layer bank which bears the function to prevent parasitic capacitance is constituted from a black resist, since the bank layer bank will function also as a black matrix and the reflected light from Counterelectrode op will be interrupted, a contrast ratio improves.

[0037] (The manufacture method of a active-matrix mold indicating equipment) Since the bank layer bank formed in this way is constituted so that the formation field of the organic-semiconductor film 43 may be surrounded, in the manufacturing process of a active-matrix mold indicating equipment, in case the organic-semiconductor film 43 is formed from the liquefied material (regurgitation liquid) breathed out from the ink jet arm head, regurgitation liquid is dammed up, and it prevents that regurgitation liquid overflows into the side. In addition, in the manufacture method of the active-matrix mold display 1 explained below, since the production process until it manufactures the 1st TFT20 and 2nd TFT30 on the transparence substrate 10 is the same as that of the production process and abbreviation which manufacture the active-matrix substrate of the liquid crystal active-matrix mold display 1, with reference to drawing 3 (A), (B), and (C), the outline is explained briefly.

[0038] First, after forming the substrate protective coat (not shown) which thickness becomes from the silicon oxide which is about 2000–5000Å by the plasma-CVD method by making TEOS (tetra-ethoxy silane), oxygen gas, etc. into material gas to the transparence substrate 10 if needed, the semiconductor film which thickness becomes from the amorphous silicon film which is about 300–700Å by the plasma-CVD method is formed in the surface of a substrate protective coat. Next, to the semiconductor film which consists of an amorphous silicon film, crystallization production processes, such as laser annealing or a solid phase grown method, are performed, and a semiconductor film is crystallized on a polish recon film.

[0039] Next, the gate insulator layer 57 which patterning of the semiconductor film is carried out, it considers as an island-like semiconductor film, and thickness becomes from the silicon oxide or the nitride which is about 600–1500Å by the plasma-CVD method to the surface by making TEOS (tetra-ethoxy silane), oxygen gas, etc. into material gas is formed.

[0040] Next, after forming the electric conduction film which consists of metal membranes, such as aluminum, a tantalum, molybdenum, titanium, and a tungsten, by the spatter, patterning is carried out and the installation portions 36 of the gate electrodes 21 and 31 and the gate electrode 31 are formed (gate electrode formation production process). The scanning line gate is formed at this production process.

[0041] In this condition, high-concentration phosphorus ion is driven in and a source drain field is formed in self align to the gate electrodes 21 and 31. In addition, the portion into which an impurity was not introduced serves as a channel field.

[0042] Next, after forming the 1st interlayer insulation film 51, each contact hole is formed, next the

installation portions 39 of data-line sig, the drain electrode 22, the common feeder com, and the common feeder com and the junction electrode 35 are formed. Consequently, 1st TFT20, 2nd TFT30, and retention volume cap are formed.

[0043] Next, the 2nd interlayer insulation film 52 is formed and contact hole formation is carried out at the portion which is equivalent to this interlayer insulation film at the junction electrode 35. Next, after forming an ITO film in the whole surface of the 2nd interlayer insulation film 52, patterning is carried out and the pixel electrode 41 connected electrically is formed in the source drain field of 2nd TFT30 every pixel 7 through a contact hole.

[0044] Next, after forming a resist layer in the surface side of the 2nd interlayer insulation film 52, patterning is carried out so that it may leave this resist along with the scanning line gate and the data line sig, and the bank layer bank is formed. Moreover, it breaks off into the predetermined portion of the bank layer bank, and Portion off is formed. At this time, the resist portion which it leaves along with the data line sig presupposes that it is broad so that the common feeder com may be covered. Consequently, the field which should form the organic-semiconductor film 43 of a light emitting device 40 is surrounded by the bank layer bank.

[0045] Next, each organic-semiconductor film 43 corresponding to R, G, and B is formed using the ink jet method in the field divided in the shape of a matrix in the bank layer bank. To the inside field of the bank layer bank, from an ink jet arm head, the liquefied material (precursor) for constituting the organic-semiconductor film 43 is fixed to it by discharge, it is fixed to it in the inside field of the bank layer bank, and the organic-semiconductor film 43 is formed in it. Here, since the bank layer bank consists of resists, it is water repellence. On the other hand, it does not overflow into the pixel 7 which it costs even if it breaks off in the bank layer bank which divides the formation field of the organic-semiconductor film 43 even if since the precursor of the organic-semiconductor film 43 uses the solvent of hydrophilicity and there is a portion off and which the spreading field of the organic-semiconductor film 43 is certainly prescribed by the bank layer bank, and adjoins since it breaks off and Portion off is narrow. So, the organic-semiconductor film 43 etc. can be formed only in a predetermined field. In this production process, in order that the precursor breathed out from the ink jet arm head may rise in thickness of about 2 micrometers thru/or about 4 micrometers under the effect of surface tension, the thickness of about 1 micrometer thru/or about 3 micrometers is required for the bank layer bank. In addition, the thickness of the organic-semiconductor film 43 after being established is about 0.05 micrometers to about 0.2 micrometers. In addition, if the septum which consists of a bank layer bank beforehand is 1 micrometers or more in height, even if the bank layer bank is not water repellence, the bank layer bank will fully function as a septum. If this thick bank layer bank is formed, it replaces with the ink jet method, and even when forming the organic-semiconductor film 43 by the applying method, the formation field can be specified.

[0046] Counterelectrode op is formed in after an appropriate time all over the abbreviation for the transparence substrate 10.

[0047] According to such a manufacture method, since each organic-semiconductor film 43 corresponding to R, G, and B can be formed in the predetermined field using the ink jet method, the full color active-matrix mold display 1 can be manufactured for high productivity.

[0048] In addition, although TFT is formed also in the data side drive circuit 3 shown in drawing 1, or the scan side drive circuit 4, these TFT(s) use all or a part of production processes which forms TFT for the aforementioned pixel 7, and are performed. So, TFT which constitutes a drive circuit will also be formed between the same layers as TFT of a pixel 7. Moreover, about said 1st TFT20 and 2nd TFT30, since N type and both sides can form TFT by the well-known method even if P type and one side are which such combination in N type, although any of P type are sufficient as another side, both sides omit the explanation.

[0049] [Modification 1 of gestalt 1 of operation] drawing 4 is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment. The plan which drawing 5 extracts one of the pixels constituted by it, and is shown, drawing 6 (A), (B), and (C) are the A-A' cross sections, B-B' cross sections, and C-C' cross sections of drawing 5, respectively. In addition, since a configuration with fundamental this

gestalt and gestalt 1 of operation is identitas, the sign same into a common portion is given to each drawing, and those detailed explanation is omitted.

[0050] As shown in drawing 4 , drawing 5 and drawing 6 (A), (B), and (C), the thick insulator layer (field where bank layer bank / lower left attached the slash of \*\* in the large pitch) which the active-matrix mold indicating equipment 1 of this gestalt also becomes from a resist film along with the data line sig and the scanning line gate is prepared, and Counterelectrode op is formed in the upper layer side of this bank layer bank. For this reason, since the 2nd interlayer insulation film 52 and the thick bank layer bank intervene between the data line sig and Counterelectrode op, the capacity which is parasitic on the data line sig is very small. So, the load of the drive circuits 3 and 4 can be reduced and low-power-izing or improvement in the speed of a display action can be attained.

[0051] Moreover, the bank layer bank (the slash is given to the formation field.) is formed also in the boundary region (outside field of a display 11) of the transparence substrate 10. Therefore, the data side drive circuit 3 and the scan side drive circuit 4 are all covered with the bank layer bank. For this reason, even if it is in the condition that Counterelectrode op laps to the formation field of these drive circuits, the bank layer bank will intervene between the wiring layer of a drive circuit, and Counterelectrode op. So, since it can prevent that capacity is parasitic on the drive circuits 3 and 4, the load of the drive circuits 3 and 4 can be reduced and low-power-izing or improvement in the speed of a display action can be attained.

[0052] Furthermore, with this gestalt, since the bank layer bank is formed also in the field which laps with the junction electrode 35 of the flow control circuit 50 among the formation fields of the pixel electrode 41, it can prevent that the useless reactive current flows. So, the width of face of the common feeder com may be narrow that much.

[0053] By this gestalt, since the bank layer bank is formed along with the data line sig and the scanning line gate, any pixel 7 is surrounded in the bank layer bank further again. For this reason, since each organic-semiconductor film 43 corresponding to R, G, and B can be formed in the predetermined field using the ink jet method, the full color active-matrix mold display 1 can be manufactured for high productivity.

[0054] And it breaks off into the portion which corresponds between the pixels 7 which adjoin each other in the installation direction of the scanning line gate, and Portion off is formed in the bank layer bank. Moreover, it breaks off also to each of the edge of each installation direction of the data line sig and the scanning line gate, and Portion off is formed in the bank layer bank. Furthermore, the bank layer bank formed in the upper layer side of the scan side drive circuit 4 and the data side drive circuit 3 breaks off in the location which corresponds between the formation field of the scan side drive circuit 4, and the formation field of the data side drive circuit 3, and Portion off is formed. Therefore, through a part for a flat part without the level difference resulting from the bank layer bank (breaking off the portion off), it connects certainly and Counterelectrode op is not disconnected.

[0055] [Modification 2 of gestalt 1 of operation] drawing 7 is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment. The plan which drawing 8 extracts one of the pixels constituted by it, and is shown, drawing 9 (A), (B), and (C) are the A-A' cross sections, B-B' cross sections, and C-C' cross sections of drawing 8 , respectively. In addition, since a configuration with fundamental this gestalt and gestalt 1 of operation is identitas, the sign same into a common portion is given to each drawing, and those detailed explanation is omitted.

[0056] As shown in drawing 7 , drawing 8 and drawing 9 (A), (B), and (C), the thick insulator layer (field where bank layer bank / lower left attached the slash of \*\* in the large pitch) which the active-matrix mold indicating equipment 1 of this gestalt also becomes from a resist film along with the data line sig and the scanning line gate is prepared, and Counterelectrode op is formed in the upper layer side of this bank layer bank. For this reason, since the 2nd interlayer insulation film 52 and the thick bank layer bank intervene between the data line sig and Counterelectrode op, the capacity which is parasitic on the data line sig is very small. So, the load of the drive circuits 3 and 4 can be reduced and low-power-izing or improvement in the speed of a display action can be attained.

[0057] Moreover, the bank layer bank (the slash is given to the formation field.) is formed also in the boundary region (outside field of a display 11) of the transparence substrate 10. Therefore, the data side

drive circuit 3 and the scan side drive circuit 4 are all covered with the bank layer bank. For this reason, even if it is in the condition that Counterelectrode op laps to the formation field of these drive circuits, the bank layer bank will intervene between the wiring layer of a drive circuit, and Counterelectrode op. So, since it can prevent that capacity is parasitic on the drive circuits 3 and 4, the load of the drive circuits 3 and 4 can be reduced and low-power-izing or improvement in the speed of a display action can be attained. [0058] Furthermore, with this gestalt, since the bank layer bank is formed also in the field which laps with the junction electrode 35 of the flow control circuit 50 among the formation fields of the pixel electrode 41, it can prevent that the useless reactive current flows. So, the width of face of the common feeder com may be narrow that much.

[0059] By this gestalt, since the bank layer bank is formed along with the data line sig and the scanning line gate, any pixel 7 is surrounded in the bank layer bank further again. For this reason, since each organic-semiconductor film 43 corresponding to R, G, and B can be formed in the predetermined field using the ink jet method, the full color active-matrix mold display 1 can be manufactured for high productivity.

[0060] And it breaks off into the portion which corresponds between the pixels 7 which adjoin each other in the installation direction of the data line sig, and Portion off is formed in the bank layer bank. Moreover, it breaks off also to each of the edge of each installation direction of the data line sig and the scanning line gate, and Portion off is formed in the bank layer bank. Furthermore, the bank layer bank formed in the upper layer side of the scan side drive circuit 4 and the data side drive circuit 3 breaks off in the location which corresponds between the formation field of the scan side drive circuit 4, and the formation field of the data side drive circuit 3, and Portion off is formed. Therefore, through a part for a flat part without the level difference resulting from the bank layer bank (breaking off the portion off), it connects certainly and Counterelectrode op is not disconnected.

[0061] [Gestalt 2 of operation] drawing 10 is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment. The plan which drawing 11 extracts one of the pixels constituted by it, and is shown, drawing 12 (A), (B), and (C) are the A-A' cross sections, B-B' cross sections, and C-C' cross sections of drawing 11, respectively. In addition, since a configuration with fundamental this gestalt and gestalt 1 of operation is identitas, the sign same into a common portion is given to each drawing, and those detailed explanation is omitted.

[0062] As shown in drawing 10, drawing 11 and drawing 12 (A), (B), and (C), in the active-matrix mold indicating equipment 1 of this gestalt, along with the data line sig, the thick insulator layer (field where bank layer bank / lower left attached the slash of \*\* in the large pitch) which consists of a resist film is formed in the shape of a stripe, and has formed Counterelectrode op in the upper layer side of this bank layer bank. For this reason, since the 2nd interlayer insulation film 52 and the thick bank layer bank intervene between the data line sig and Counterelectrode op, the capacity which is parasitic on the data line sig is very small. So, the load of the drive circuits 3 and 4 can be reduced and low-power-izing or improvement in the speed of a display action can be attained.

[0063] Moreover, the bank layer bank (the slash is given to the formation field.) is formed also in the boundary region (outside field of a display 11) of the transparence substrate 10. Therefore, since the data side drive circuit 3 and the scan side drive circuit 4 are covered with the bank layer bank, even if each is in the condition that Counterelectrode op laps to the formation field of these drive circuits, the bank layer bank will intervene between the wiring layer of a drive circuit, and Counterelectrode op. So, since it can prevent that capacity is parasitic on the drive circuits 3 and 4, the load of the drive circuits 3 and 4 can be reduced and low-power-izing or improvement in the speed of a display action can be attained.

[0064] Furthermore, in this gestalt, since the bank layer bank is formed along with the data line sig and each organic-semiconductor film 43 corresponding to R, G, and B can be formed in the shape of a stripe using the ink jet method in the field divided in the shape of a stripe in the bank layer bank, the full color active-matrix mold display 1 can be manufactured for high productivity.

[0065] And it breaks off at the edge of the installation direction of the data line sig, and Portion off is formed in the bank layer bank. Therefore, in the installation direction of the scanning line gate, to the counterelectrode op of the adjoining pixel 7, the counterelectrode op of each pixel 7 overcame the thick

bank layer bank, and has connected. If the installation direction of the data line sig is still followed, the counterelectrode op of each pixel 7 will break off at the edge of the data line sig, and it is Portion off (a part for a flat part without the level difference resulting from the bank layer bank) (it minded and has connected with the train of the pixel 7 which adjoins in the installation direction of the scanning line gate.). So, it can say that the counterelectrode op of each pixel 7 is connected to the counterelectrode op of other pixels 7 through a part for a flat part without the level difference resulting from the bank layer bank, and neither of the counterelectrodes op of the pixels 7 will be in an open-circuit condition.

[0066] When [ which is [the gestalt of other operations] ] the bank layer bank (insulator layer) constitutes from organic materials, such as a resist film and a polyimide film, a thick film can be formed easily, but when the bank layer bank (insulator layer) is constituted from inorganic materials, such as silicon oxide which formed membranes by the CVD method or the SOG method, or a silicon nitride, even if it is in the condition of having contacted the organic-semiconductor film 43, deterioration of the organic-semiconductor film 43 can be prevented.

[0067] Moreover, about retention volume cap, you may form between the scanning line gate besides the structure formed between the common feeders com, and the capacity line formed in juxtaposition.

[0068]

[Effect of the Invention] As explained above, since the thick insulator layer was made to intervene between the data line and a counterelectrode, with the active-matrix mold indicating equipment concerning this invention, it can prevent that capacity is parasitic on the data line. So, since the load of a data-line drive circuit can be reduced, low-power-izing or improvement in the speed of a display action can be attained. Moreover, it breaks off to the position of a thick insulator layer, a portion is constituted, and this portion is made flat. Therefore, since the counterelectrode for every field is electrically connected through the portion formed in a part for a flat part, even if it disconnects in this portion with the level difference resulting from an insulator layer, it has connected electrically certainly through a part for the flat part which an insulator layer breaks off and is equivalent to a portion. Therefore, since an open circuit does not occur in the counterelectrode formed in the upper layer of an insulator layer even if it forms a thick insulator layer in the surroundings of luminescence thin films, such as an organic-semiconductor film, and stops parasitic capacitance etc., the display quality and reliability of a active-matrix mold display can be improved.

---

[Translation done.]



**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

**[Drawing 1]** It is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment concerning the gestalt 1 of operation of this invention.

**[Drawing 2]** It is the plan extracting and showing one of the pixels constituted by the active-matrix mold display shown in drawing 1 .

**[Drawing 3]** (A), (B), and (C) are the A-A' cross sections, B-B' cross sections, and C-C' cross sections of drawing 2 , respectively.

**[Drawing 4]** It is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment concerning the modification 1 of the gestalt 1 of operation of this invention.

**[Drawing 5]** It is the plan extracting and showing one of the pixels constituted by the active-matrix mold display shown in drawing 4 .

**[Drawing 6]** (A), (B), and (C) are the A-A' cross sections, B-B' cross sections, and C-C' cross sections of drawing 5 , respectively.

**[Drawing 7]** It is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment concerning the modification 2 of the gestalt 1 of operation of this invention.

**[Drawing 8]** It is the plan extracting and showing one of the pixels constituted by the active-matrix mold display shown in drawing 7 .

**[Drawing 9]** (A), (B), and (C) are the A-A' cross sections, B-B' cross sections, and C-C' cross sections of drawing 8 , respectively.

**[Drawing 10]** It is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment concerning the gestalt 2 of operation of this invention.

**[Drawing 11]** It is the plan extracting and showing one of the pixels constituted by the active-matrix mold display shown in drawing 10 .

**[Drawing 12]** (A), (B), and (C) are the A-A' cross sections, B-B' cross sections, and C-C' cross sections of drawing 11 , respectively.

**[Drawing 13]** It is the block diagram showing typically the layout of the whole active-matrix mold indicating equipment concerning the example of a comparison of the former and this invention.

**[Drawing 14]** It is the plan extracting and showing one of the pixels constituted by the active-matrix mold display shown in drawing 13 .

**[Drawing 15]** (A), (B), and (C) are the A-A' cross sections, B-B' cross sections, and C-C' cross sections of drawing 14 , respectively.

**[Drawing 16]** (A), (B), and (C) are the different A-A' cross sections, B-B' cross sections, and C-C' cross sections of drawing 14 , respectively.

**[Description of Notations]**

- 1 Active-Matrix Mold Display
- 2 Display
- 3 Data Side Drive Circuit
- 4 Scan Side Drive Circuit
- 7 Pixel
- 10 Transparence Substrate

12 Terminal  
20 1st TFT  
21 Gate Electrode of 1st TFT  
30 2nd TFT  
31 Gate Electrode of 2nd TFT  
40 Light Emitting Device  
41 Pixel Electrode  
43 Organic Semiconductor  
bank Bank layer (insulator layer)  
cap Retention volume  
com Common feeder  
gate Scanning line  
op Counterelectrode  
sig Data line  
off A bank layer breaks off and it is a portion.

---

[Translation done.]